
PolarFire® SoC 产品概述

概述

PolarFire® SoC 依托屡获殊荣的 PolarFire FPGA 非易失性 FPGA 平台构建。PolarFire SoC 提供基于 RISC-V ISA 且支持五核 Linux 的处理器子系统，为市场带来一款创新的免版权、中端嵌入式计算平台，该平台继承了 PolarFire FPGA 产品系列的所有优势。RISC-V CPU 微架构实现是一个简单的五级单发射顺序流水线，不受常用无序机器中存在的 Meltdown 和 Spectre 漏洞利用影响。所有五个 CPU 内核都与存储器子系统一致，支持在单个多核 CPU 集群中提供确定性实时系统和 Linux® 的多功能组合。PolarFire SoC 支持内置安全引导创新型 Linux 和实时模式，具有灵活的大容量 L2 存储器子系统和大量嵌入式外设，为设计人员提供了安全且高效率的嵌入式计算平台的新选择。本文档描述了 PolarFire SoC 扩展商业级（0°C 至 100°C T_j）和工业级（-40°C 至 100°C T_j）器件产品的特性。

微处理器子系统特性

- 四个 64 位 RV64GC 应用处理内核，F_{max} 为 667 MHz（-40°C 至 100°C T_j），3.0 CoreMarks®/MHz，2.0 DMIP/MHz
 - L1 存储器子系统，带有单个位错误纠正和双位错误检测（single-error correcting, double-error detecting, SECCDED）
 - 32 KB 8 路指令高速缓存或可选的 28 KB 紧密集成存储器
 - 32 KB 8 路数据高速缓存
 - 存储器管理单元（Memory Management Unit, MMU）
 - 物理存储器保护（Physical Memory Protection, PMP）单元
- 64 位 RV64IMAC 监视处理器内核，F_{max} 为 667 MHz（-40°C 至 100°C T_j），3.0 CoreMarks®/MHz，2.0 DMIP/MHz
 - L1 存储器子系统，带有 SECCDED
 - 16 KB 2 路指令高速缓存
 - 8 KB 高速暂存存储器
 - PMP 单元
- 灵活的 2 MB L2 存储器子系统，其 SECCDED 可配置为：
 - 16 路组关联 L2 高速缓存
 - 松散集成存储器（Loosely Integrated Memory, LIM）模式用于确定性访问
 - 高速暂存存储器一致性模式，可跨内核共享消息
- 带 SECCDED 的集成 36 位 DDR4/DDR3/LPDDR4/LPDDR3 存储器控制器
 - 1.6 Gbps DDR4，地址范围可达 8 GB
- 高速缓存一致性 CPU 总线矩阵
- AMBA I/O 交换机，具有 QoS 和存储器保护功能
- 集成 128 KB 嵌入式非易失性存储器（embedded non-volatile memory, eNVM）用于引导
- 引导选项
 - Microchip 安全引导
 - 用户定义并受 PUF 保护的安全引导
 - 直接从 eNVM 引导
- 平台中断控制器

-
-
- 来自微处理器子系统和 FPGA 结构的 185 个中断源，具有七个中断优先级
 - 本地中断控制器
 - 来自 FPGA 的 48 个本地中断驱动每个内核上的本地中断控制器
 - 调试
 - 每个 CPU 提供十个硬件触发信号（触发信号配置为断点或观察点）
 - 所有 CPU 均具有指令跟踪功能
 - 性能计数器
 - 运行时可配置 AXI 总线监视器
 - 监视至 DDR 的 AXI 命令
 - 监视向/从 AMBA I/O AXI 交换机输入和输出的 AXI 端口
 - 32 位结构监视器
 - SmartDebug
 - 在两个引脚上动态监视 FPGA 中的任何两个网络，而无需更改 FPGA 设计
 - 读/写 FPGA 触发器和存储器
 - 暂停时钟树，检查逻辑树
 - FPGA 断点
 - SmartDebug 集成在处理器调试传输层中——可通过单个工具链进行调试
 - 通过以太网进行远程安全调试（包括处理器子系统和 FPGA 设计）
 - 处理器 I/O
 - 两个 GigE MAC
 - 一个 USB 2.0 OTG
 - MMC 5.1 SD/SDIO
 - 两个 CAN 2.0 A 和 B
 - 可就地执行的四通道 SPI 闪存控制器
 - 五个多模式 UART
 - 两个 SPI，两个 I²C
 - RTC 和 GPIO
 - 五个看门狗定时器
 - 定时器
 - 处理器到 FPGA 的互连
 - 两个 64 位 AXI4 处理器-结构接口
 - 三个 64 位 AXI4 结构-处理器接口
 - 一个 32 位 APB 处理器-结构接口

FPGA 特性

- 最多 461K 逻辑单元，由 4 输入查找表（look-up table, LUT）与可断裂 D 型触发器组成
- 内置 SECEDED 的 20 KB 双端口或两端口大容量静态随机存取存储器（large static random access memory, LSRAM）块
- 64×12 两端口 μ RAM 块，实现形式为锁存器阵列
- 18×18 数学模块，带有一个预加法器、一个 48 位累加器和一个可选的 16 字深×18 位系数 ROM
- 内置 μ PROM，在编程时可修改、运行时可读取用户数据存储
- 高速串行连接，内置多千兆、多协议收发器，速率范围从 250 Mbps 至 12.7 Gbps
- 集成双 x4 PCIe Gen2 端点（endpoint, EP）和根端口（root port, RP）设计
- 高速 I/O（High-speed I/O, HSIO），通过集成 I/O 数字逻辑支持最高 1600 Mbps DDR4、1333 Mbps DDR3L 和 1333 Mbps LPDDR3/DDR3 存储器
- 通用 I/O（General-purpose I/O, GPIO），通过集成 I/O 数字逻辑支持 3.3 V 内置 CDR，以支持串行千兆以太网、1067 Mbps DDR3 和 1250 Mbps LVDS I/O 速度

-
-
- 低功耗，锁相环（phase-locked loop, PLL）和延迟锁相环（delay-locked loop, DLL），可实现高精度和低抖动
 - 1.0V 和 1.05V 工作模式

低功耗特性

- 器件静态功耗低
- 低冲击电流
- 低功耗收发器

可靠性特性

- FPGA 配置单元单粒子翻转（single-event upset, SEU）免疫
- FPGA 结构 LSRAM 内置 SECDED 且支持存储器交错
- 所有处理器存储器均支持 SECDED
 - 捕获错误信号并导出至 FPGA 结构
- 系统控制器暂停模式，确保安全关键型设计

安全性特性

- 获得 Cryptography Research Incorporated（CRI）的差分功耗分析（Differential Power Analysis, DPA）位流保护专利许可
- 集成双物理反克隆功能（Physically Unclonable Function, PUF）
- 56 KB 安全非易失性存储器（secure, non-volatile memory, sNVM）
- 内置篡改检测器和对策
- FPGA、 μ PROM、sNVM 和 eNVM 的摘要完整性检查

SoftConsole 嵌入式 IDE

- Eclipse IDE
- 设备驱动程序的固件目录

Antmicro Renode™

- 集成在 SoftConsole 中的开源 PolarFire SoC 系统建模环境

Libero® SoC PolarFire FPGA 工具集

- 完整的 FPGA 开发环境
- 包括 Synplify Pro 综合和 Mentor ModelSim ME 仿真工具

目录

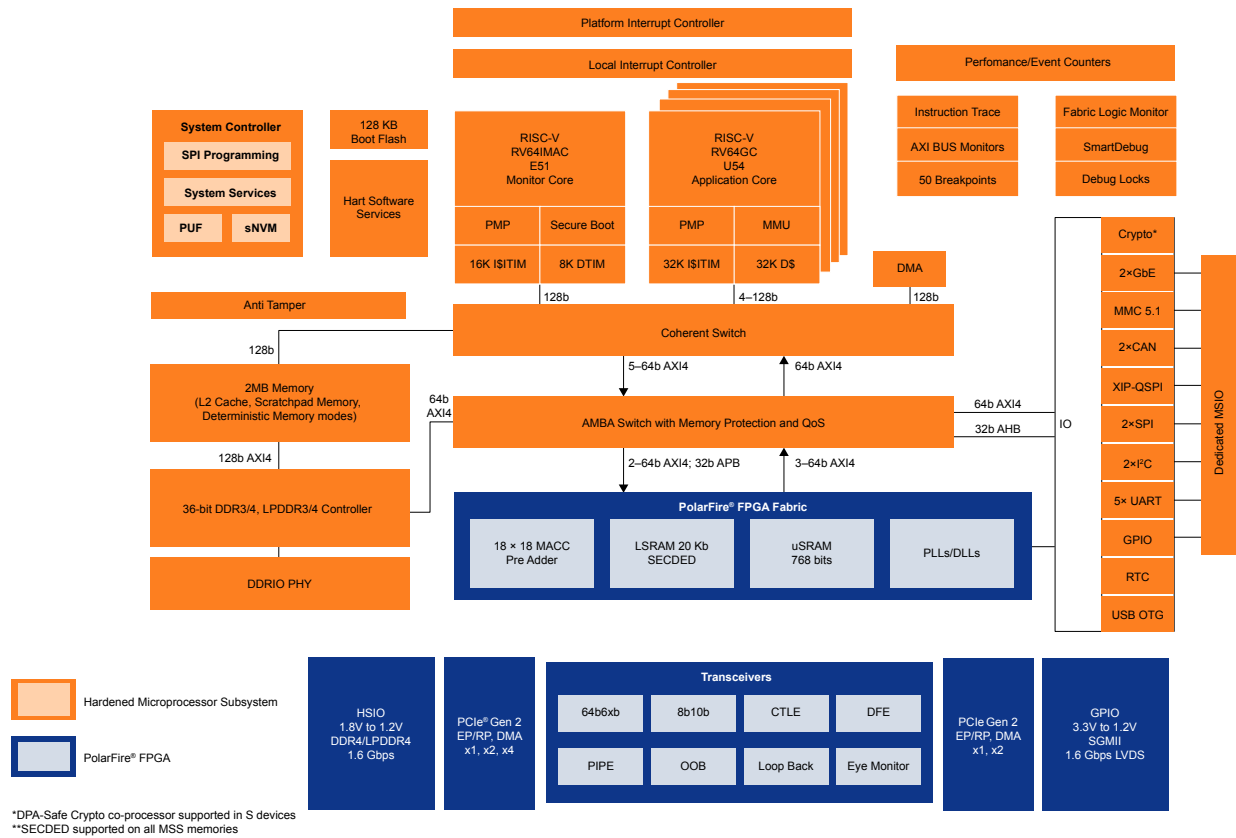
概述.....	1
微处理器子系统特性.....	1
FPGA 特性.....	2
1. 框图.....	6
2. 产品系列表.....	7
3. 微处理器子系统.....	9
3.1. CPU.....	9
3.2. 调试.....	12
3.3. 中断.....	13
3.4. 存储器子系统.....	14
3.5. 处理器 I/O.....	16
3.6. 处理器与 FPGA 结构的互连.....	21
3.7. 安全引导.....	21
3.8. 外设存储器 SECEDED 报告和错误注入.....	21
3.9. DMA 控制器.....	21
4. 可编程逻辑子系统.....	22
4.1. 时钟管理.....	22
4.2. 调试探测系统.....	23
4.3. I/O.....	23
4.4. 非易失性 FPGA 结构.....	30
4.5. PCI Express.....	33
5. 系统控制器.....	36
5.1. 系统服务.....	36
5.2. 编程.....	36
6. 低功耗.....	38
6.1. 非易失性技术.....	38
6.2. 低功耗收发器通道.....	38
7. 可靠性.....	39
7.1. FPGA 结构.....	39
7.2. LSRAM.....	39
7.3. μ SRAM.....	39
7.4. 摘要.....	39
7.5. 系统控制器暂停模式.....	39
8. 安全性.....	41
8.1. 设计安全性.....	41
9. PolarFire SoC 器件产品.....	42
10. 订购信息.....	43

11. 版本历史.....	44
Microchip 网站.....	45
产品变更通知服务.....	45
客户支持.....	45
Microchip 器件代码保护功能.....	45
法律声明.....	45
商标.....	46
质量管理体系.....	46
全球销售及服务网点.....	47

1. 框图

下图显示 PolarFire SoC 的功能模块。

图 1-1. 框图



2. 产品系列表

下表列出了 PolarFire SoC 产品系列的产品特性和封装概览。处理器子系统对于产品系列中的所有器件都是通用的。

表 2-1. PolarFire SoC 产品系列

	特性	MPFS025T	MPFS095T	MPFS160T	MPFS250T	MPFS460T
FPGA 结构	K 逻辑单元 (4LUT + DFF)	23	93	161	254	461
	数学模块 (18x18 MACC)	68	292	498	784	1420
	LSRAM 模块 (20 Kb)	84	308	520	812	1460
	uSRAM 模块 (64x12)	204	876	1494	2352	4260
	总 RAM (Mb)	1.8	6.7	11.3	17.6	31.6
	uPROM KB	194	387	415	470	553
	用户 DLL/PLL	各 8 个	各 8 个	各 8 个	各 8 个	各 8 个
高速 I/O	250 Mbps 至 12.5 Gbps SERDES 通道	4	4	8	16	20
	PCIe Gen2 端 点/根端口	2	2	2	2	2
总 FPGA I/O	HSIO+GPIO	108	276	312	372	468
总 MSS I/O	MSS I/O	136	136	136	136	136
MSS DDR DB	MSS DDR 数 据总线	16	32	32	32	32

..... (续)						
	特性	MPFS025T	MPFS095T	MPFS160T	MPFS250T	MPFS460T
封装	类型/尺寸/间距	MSS IO/HSIO/GPIO/XCVR				
	FCSG325 (11x11 和 11x14.5*, 0.5 mm)	102/32/48/2	102/32/48/2		—	—
	FCSG536 (16x16, 0.5 mm)	—	136/60/108/4	136/60/108/4	136/60/108/4	—
	FCVG484 (19x19, 0.8 mm)	136/60/48/4	136/60/48/4	136/60/84/4	136/60/84/4	—
	FCVG784 (23x23, 0.8 mm)	—	136/144/132/ 4	136/144/168/ 8	136/144/180/8	—
	FCG1152 (35x35, 1.0 mm)	—	—	—	136/144/228/1 6	136/180/228/2 0

注:

1. 相同封装类型的器件引脚兼容。
2. 扩展商业级和工业级温度范围器件提供绿色 RoHS 封装。

3. 微处理器子系统

3.1 CPU

3.1.1 E51 监控内核

E51 监控内核是 64 位嵌入式 RISC-V 单片机，包括指令提取单元、执行流水线和数据存储器系统。监控内核支持标准的 RISC-V RV64IMAC 用户级指令集，并具有机器模式和用户权限模式。E51 主要负责引导和配置处理器子系统，然后执行超级循环，响应来自应用处理器的固件服务请求。

表 3-1. E51 监控内核

特性	说明
ISA	RV64IMAC
指令高速缓存	16 KB 双路
数据紧集成存储器	8 KB
ECC 支持	DTIM 上的单个位错误纠正和双位错误检测
权限模式	机器 (M) 和用户 (U)

3.1.1.1 E51 指令提取单元

E51 指令提取单元由一个双路 16 KB 指令高速缓存组成，该高速缓存支持 64 字节高速缓存行。访问延迟时间是一个时钟周期。指令存储系统与数据存储器系统不一致。需使用 FENCE.I 指令将写入存储器与指令提取流同步。分支预测器包括：分支目标缓冲区 (branch target buffer, BTB)，用于预测分支和跳转的目标；分支历史表 (branch history table, BHT)，用于预测条件分支的方向；以及返回地址堆栈 (return-address stack, RAS)，用于预测程序返回的目标。BTB 配置为可容纳 40 项条目。RAS 配置为容纳两项条目。BHT 使用全局共享 (gshare) 预测方案，提供 7 位全局历史记录，可访问具有 128 个 2 位饱和和计数器的阵列。分支预测器的延迟时间为一个周期，因此预测正确的控制流指令不会导致任何性能惩罚。可在器件配置期间关闭分支预测器，以创建确定性系统。

3.1.1.2 E51 指令高速缓存重新配置

指令高速缓存可以部分重新配置为指令紧集成存储器 (Instruction Tightly Integrated Memory, ITIM)，它在存储器映射中占据一个固定的地址范围。ITIM 提供高性能的可预测指令发送。从 ITIM 中提取指令与指令高速缓存命中一样快速，并且不会发生高速缓存未命中的情况。ITIM 可以保存数据和指令，只是加载和存储至 ITIM 的性能不如加载和存储至 DTIM。指令高速缓存的所有路均可以配置为 ITIM，高速缓存行为 1 (64 字节) 时除外。单指令高速缓存路必须保持为指令高速缓存。只需向指令高速缓存进行存储，即可将其分配为 ITIM。向 ITIM 存储器映射的第 n 个字节执行存储，会将指令高速缓存的前 n+1 个字节重新分配为 ITIM (舍入至下一个高速缓存行)。将零存储到 ITIM 区域之后的第一个字节，即可释放 ITIM。释放的 ITIM 空间将自动返回为指令高速缓存。为了保证确定性，在对 ITIM 进行分配后必须使用软件清除其内容。无法预测在释放和分配之间 ITIM 的内容是否被保留。

3.1.1.3 E51 执行流水线

E51 执行单元是一个单发射顺序流水线。流水线包括五级：指令提取、指令译码与寄存器提取、执行、数据存储器访问以及寄存器写回。该流水线的峰值执行率为每个时钟周期一条指令。流水线完全旁路，因此大多数指令的结果延迟时间显然为 1 个周期。有几个例外：

- 假设发生高速缓存命中，LD 和 LW 的结果延迟时间为 2 个周期。
- 假设发生高速缓存命中，LH、LHU、LB 和 LBU 的结果延迟时间为 3 个周期。
- MUL、MULW、MULH、MULHU、MULHSU、DIV、DIVU、REM、REMU、DIVW、DIVUW、REMW 和 REMUW 的结果延迟时间介于 2 个周期和 66 个周期之间，具体取决于操作数的值。
- CSR 读操作的结果延迟时间为 3 个周期。

流水线仅在出现写后读和写后写危险情况时互锁，因此可以通过指令调度来避免停止执行。

迭代乘法器配置为每周期产生 16 位，带有提前输出选项。迭代除法器的延迟时间介于 3 到 66 个周期之间，带有提前输出选项。

分支和跳转指令将从存储器访问流水线级转移控制。预测正确的分支和跳转不会导致任何性能惩罚，而预测错误的分支和跳转则会导致 3 个周期的性能惩罚。大多数 CSR 写操作都会导致流水线刷新，并产生 5 个周期的性能惩罚。

3.1.1.4 E51 数据存储器系统

E51 数据存储器系统由 8 KB 数据紧密集成 RAM（data tightly-integrated RAM, DTIM）组成。整字的访问延迟时间为两个时钟周期，对于更小的量则为三个时钟周期。硬件不支持不对齐的访问，将会导致陷阱以支持软件仿真。采用流水线式存储，并在数据存储器系统处于空闲状态的周期内提交。向当前存储流水线结果中的地址加载会导致五个周期的性能惩罚。

3.1.1.5 E51 存储器保护

E51 DTIM 采用单个位错误纠正和双位错误检测（SECEDED）纠错码（error correcting code, ECC）。应用此保护（代码字）的粒度为 32 位（每个代码字的 ECC 开销为 7 位）。

3.1.1.5.1 E51 存储器单个位错误

如果 L1 指令高速缓存中发生单个位错误，将纠正该错误并刷新高速缓存行。当 ITIM 中检测到单个位错误时，将纠正该错误并将其写回到 SRAM。当 L1 数据高速缓存发生单个位错误时，数据高速缓存将纠正该错误，使高速缓存行无效，并将该行写回下一级存储器层次结构。

3.1.1.5.2 E51 存储器错误报告

由总线错误单元（Bus-Error Unit, BEU）针对特定内核报告 ECC 事件。BEU 可配置为在全局范围内针对平台级中断控制器（Platform Level Interrupt Controller, PLIC）或在本地范围内针对发生 ECC 事件的特定部分产生中断。允许 BEU 中断时，可以使用软件来监视并计数 ECC 事件。为了检测 L1 存储系统中不可纠正的 ECC 错误，必须在 BEU 中允许中断。具体来说，要在检测到不可纠正的指令时停止执行内核，必须将 BEU 配置为产生一个本地中断。L1 系统中不可纠正的 ECC 错误也作为 HALT_CPU_n 信号报告给 FPGA 结构，其中 n = 0 - 5，而 n = 0 则表示 E51 监视内核。

3.1.1.6 E51 本地中断

E51 最多支持 48 个直接路由至内核的本地中断源。本地中断来自 FPGA 结构。与 U54 内核相同，E51 内核也从 FPGA 结构接收相同的 48 个中断源。

3.1.2 U54 应用内核

U54 应用内核是 64 位嵌入式 RISC-V 微处理器，包括指令提取单元、执行流水线和数据存储器系统。监控内核支持标准的 RISC-V RV64IMAFDC（RV64GC）用户级指令集，并具有机器、监控器和用户权限模式。U54 主要负责运行功能丰富的操作系统，例如 Linux。

表 3-2. U54 应用内核

特性	说明
ISA	RV64IMAFDC (RV64GC)
指令高速缓存	32 KB, 8 路
指令紧密集成存储器 (ITIM)	最大 28 KB
数据高速缓存	32 KB, 8 路
ECC 支持	对指令高速缓存/ITIM 和数据高速缓存进行单个位错误纠正和双位错误检测
虚拟存储器支持	U54 通过 39 位虚拟地址空间、38 位物理地址空间和 32 项条目 TLB 支持 Sv39 虚拟存储器
权限模式	机器 (Machine, M)、监控器 (Supervisor, S) 和用户 (User, U)

3.1.2.1 U54 指令存储器系统

指令存储器系统由专用的 32 KB、8 路组关联、虚拟索引物理标记（Virtually Indexed Physically Tagged, VIPT）指令高速缓存组成。指令存储器系统中所有块的访问延迟时间为一个时钟周期。指令高速缓存未与平台存储器系统的其余部分保持一致。必须通过执行 FENCE.I 指令将写入指令存储器与指令提取流同步。指令高速缓存的行大小为 64 字节，高速缓存行填充将触发 PolarFire SoC CPU 内核复合体外部的突发访问。内核将高速缓存来自可执行地址（ITIM 除外）的指令。尝试从不可执行的地址执行指令将导致同步陷阱。

3.1.2.2 U54 指令高速缓存重新配置

指令高速缓存可以部分重新配置为指令紧密集成存储器（ITIM），它在存储器映射中占据一个固定的地址范围。ITIM 提供高性能的可预测指令发送。从 ITIM 中提取指令与指令高速缓存命中一样快速，并且不会发生高速缓存未命中的情况。ITIM 可以保存数据和指令，只是加载和存储至 ITIM 的性能不如加载和存储至 DTIM。指令高速缓存的所有路均可以配置为 ITIM，高速缓存行为 1（64 字节）时除外。单指令高速缓存路必须保持为指令高速缓存。只需向指令高速缓存进行存储，即可将其分配为 ITIM。向 ITIM 存储器映射的第 n 个字节执行存储，会将指令高速缓存的前 $n+1$ 个字节重新分配为 ITIM（舍入至下一个高速缓存行）。将零存储到 ITIM 区域之后的第一个字节，即可释放 ITIM。释放的 ITIM 空间将自动返回为指令高速缓存。为了保证确定性，在对 ITIM 进行分配后必须使用软件清除其内容。无法预测在释放和分配之间 ITIM 的内容是否被保留。

3.1.2.3 U54 指令提取单元

U54 指令提取单元包含分支预测硬件，可提高处理器内核的性能。分支预测器包括：一个 40 项条目的分支目标缓冲区（BTB），用于预测分支的目标；一个 128 项条目的分支历史表（BHT），用于预测条件分支的方向；以及一个 2 项条目的返回地址堆栈（RAS），用于预测程序返回的目标。分支预测器的延迟时间为一个周期，因此预测正确的控制流指令不会导致任何性能惩罚。错误预测的控制流指令将导致三个周期的性能惩罚。可在器件配置期间关闭分支预测器，以创建确定性系统。U54 实现了 RISC-V 架构的标准压缩（Compressed, C）扩展，允许 16 位 RISC-V 指令。

3.1.2.4 U54 执行流水线

U54 执行单元是单发射顺序流水线。流水线包括五级：指令提取、指令译码与寄存器提取、执行、数据存储器访问以及寄存器写回。

该流水线的峰值执行率为每个时钟周期一条指令，并且完全旁路，因此大多数指令结果延迟时间为 1 个周期。有几个例外：

- 假设发生高速缓存命中，LW 的结果延迟时间为 2 个周期。
- 假设发生高速缓存命中，LH、LHU、LB 和 LBU 的结果延迟时间为 3 个周期。
- CSR 读操作的结果延迟时间为 3 个周期。
- MUL、MULH、MULHU 和 MULHSU 的结果延迟时间为 5 个周期。
- DIV、DIVU、REM 和 REMU 的结果延迟时间介于 2 个周期和 33 个周期之间，具体取决于操作数的值。

流水线仅在出现写后读和写后写危险情况时互锁，因此可以通过指令调度来避免停止执行。

U54 实现了 RISC-V 架构的标准乘法（Multiply, M）扩展，可执行整数乘法和除法。U54 可执行每周期 16 位的硬件乘法和每周期 4 位的硬件除法。

分支和跳转指令将从存储器访问流水线级转移控制。预测正确的分支和跳转不会导致任何性能惩罚，而预测错误的分支和跳转则会导致 3 个周期的性能惩罚。

大多数 CSR 写操作都会导致流水线刷新，并产生 5 个周期的性能惩罚。

3.1.2.5 U54 数据存储器系统

U54 数据存储器系统具有 8 路组关联的 32 KB 写回数据高速缓存以及 64B 高速缓存行。数据高速缓存是虚拟索引物理标记（VIPT）。字和双字的访问延迟时间为两个时钟周期，对于更小的量则为三个时钟周期。硬件不支持不对齐的访问，将会导致陷阱以支持软件仿真。数据高速缓存与基于目录的高速缓存一致性管理器（驻留在外部 L2 高速缓存中）保持一致。采用流水线式存储，并在数据存储器系统处于空闲状态的周期内提交。向当前存储流水线结果中的地址加载会导致五个周期的性能惩罚。

3.1.2.6 U54 原子操作

U54 内核在由属性 A 指示的存储器映射区域支持 RISC-V 标准原子（Atomic, A）扩展；对不支持原子存储器操作的区域进行该操作将会在内核处准确地产生访问异常。仅在高速缓存区域支持加载保留指令和存储条件指令；因此，会在 DTIM 和其他非高速缓存的存储器区域产生访问异常。有关此扩展版本新增指令的更多信息，请参见 *The RISC-V Instruction Set Manual, Volume I: User-Level ISA, Version 2.1 [1]*。

3.1.2.7 U54 浮点单元 (FPU)

U54 FPU 为 32 位单精度运算和 64 位双精度运算的 IEEE® 754-2008 浮点标准提供全面的硬件支持。FPU 包括一个完整的流水线融合乘法-加法单元、一个迭代除法和平方根单元、幅值比较器以及浮点-整数转换单元，均可针对子标准和所有 IEEE 默认值提供全面的硬件支持。

3.1.2.8 U54 虚拟存储器支持

U54 利用存储器管理单元 (MMU) 来支持虚拟存储器。MMU 支持裸机和 Sv39 模式 (如 *RISC-V Instruction Set Manual, Volume II: Privileged Architecture, Version 1.10 [2]* 中所述)。U54 MMU 具有一个映射到 38 位物理地址空间的 39 位虚拟地址空间。硬件页表查询器对地址转换高速缓存进行重新填充。指令和数据地址转换高速缓存都是完全关联的，具有 32 项条目。MMU 支持 2 MB 兆页和 1 GB 千兆页，可减少虚拟和物理地址空间中连续大区域的转换开销。请注意，U54 不会在 Sv39 页表条目 (Page Table Entry, PTE) 中自动设置访问 (Accessed, A) 位和脏 (Dirty, D) 位。而是 U54 MMU 将在读取 PTE.A = 0 的页面或写入 PTE.D = 0 的页面时报告页错误异常。

3.1.2.9 UU54 本地中断

每个 U54 最多支持 48 个直接路由至内核的本地中断源。本地中断来自 FPGA 结构。每个 U54 内核都从 FPGA 结构接收相同的 48 个中断源。

3.1.2.10 U54 存储器保护

U54 ITIM 和 DTIM 均采用单个位错误纠正和双位错误检测 (SECDED) 纠错码 (ECC)。应用此保护 (代码字) 的粒度为 32 位 (每个代码字的 ECC 开销为 7 位)。

3.1.2.10.1 U54 存储器单个位错误

如果 L1 指令高速缓存中发生单个位错误，将纠正该错误并刷新高速缓存行。当 ITIM 中检测到单个位错误时，将纠正该错误并将其写回到 SRAM。当 L1 数据高速缓存发生单个位错误时，数据高速缓存将纠正该错误，使高速缓存行无效，并将该行写回下一级存储器层次结构。

3.1.2.10.2 U54 存储器错误报告

由总线错误单元 (BEU) 针对特定内核报告 ECC 事件。BEU 可配置为在全局范围内针对平台级中断控制器 (PLIC) 或在本地范围内针对发生 ECC 事件的特定部分产生中断。允许 BEU 中断时，可以使用软件来监视并计数 ECC 事件。为了检测 L1 存储系统中不可纠正的 ECC 错误，必须在 BEU 中允许中断。具体来说，要在检测到不可纠正的指令时停止执行内核，必须将 BEU 配置为产生一个本地中断。L1 系统中不可纠正的 ECC 错误也作为 HALT_CPU_n 信号报告给 FPGA 结构，其中 n = 0 - 5，而 n = 1 至 5 则表示 U54 应用内核。

3.1.3 物理存储器保护

PolarFire SoC 中的每个 CPU 都包含一个物理存储器保护 (PMP) 单元，符合 *RISC-V Instruction Set Manual, Volume II: Privileged Architecture, Version 1.10* 的要求。PMP 单元可用于设置指定存储器区域的存储器访问权限 (读、写或执行)。每个 PMP 支持 16 个区域，最小区域大小为 4 字节。

3.1.3.1 功能说明

PolarFire SoC 包括一个物理存储器保护 (PMP) 单元，可用于限制对存储器的访问并将进程彼此隔离。PMP 单元具有 16 个区域，最小粒度为 4 字节。允许区域重叠。PolarFire SoC PMP 单元实现了架构定义的 pmpcfgX CSR pmpcfg0 和 pmpcfg2，支持 16 个区域。虽然实现了 pmpcfg1 和 pmpcfg3，但硬接线为零。

3.1.3.2 区域锁定

PMP 允许区域锁定，一旦区域被锁定，将忽略对配置和地址寄存器的进一步写入。锁定的 PMP 条目只能在系统复位后才能解锁。可通过将 pmpicfg 寄存器中的 L 位置 1 来锁定区域。除了锁定 PMP 条目外，L 位还指示是否对 M 模式访问强制执行 R/W/X 权限。当 L 位置 1 时，将对所有权限模式强制执行这些权限。当 L 位清零时，R/W/X 权限仅适用于 U 模式。

3.2 调试

3.2.1 CPU 调试

每个 CPU 最多可提供 10 个断点寄存器。断点可能会在以下情况下暂停相应的 CPU。

- 加载时地址匹配

- 存储时地址匹配
- 取指令时地址匹配
- 用户模式下地址匹配
- 监控器模式下地址匹配
- 机器模式下地址匹配

地址成功匹配会产生异常或使机器进入调试模式。

3.2.2 跟踪

PolarFire SoC 包含一个指令跟踪接口模块。对于每个内核，在撤消或捕获指令并使能跟踪时可以捕捉以下内容。

- 指令地址
- 指令
- 执行期间的权限模式
- 陷阱或撤销指示
- 中断或异常指示
- 异常原因
- 异常数据

PolarFire SoC 使用 UltraSoC 调试基础架构通过各种端口压缩和传输调试信息。

- 以太网
- JTAG
- FPGA 结构

3.2.3 AXI 总线监视器

MSS 内部有两个 AXI 总线监视器，可在运行时观察 I/O 交换机上的 AXI 事务和进入 L2 存储器子系统的 AXI 事务。可通过 I/O 交换机全面观察 AXI 总线，而进入 L2 存储器子系统的 AXI 事务能够捕捉除数据总线以外的所有 AXI 信号。AXI 监视器可以被过滤特定地址，由主器件执行 R/W，而不影响运行时的流量。

3.2.4 结构监视器

PolarFire SoC 在 MSS 中集成了 FPGA 结构监视器。来自 FPGA 至 MSS 的 32 个通用输入，可用于监视 FPGA 逻辑。可将 8 个通用输出驱动到 FPGA 结构中，以控制用户逻辑或调试仪器。结构监视器在调试传输层上传递数据，并通过定义的调试端口之一（最常见的是以太网）输出。

3.2.5 SmartDebug

将两个指定的用户 I/O（在设计捕捉阶段）配置为两个单端实时探针或一个差分实时探针。通过这些实时探针，可以对 FPGA 结构中的任何寄存器、LSRAM 中的输出流水线寄存器以及数学模块中的所有寄存器的实时读取访问，而无需重新插装代码。可异步创建和读取所有内部探测点的快照。实时探针功能就如同一个双通道示波器，这两个通道可以路由至 I/O 进行外部观察，也可以路由至内部端口来观察结构设计。使用 SmartDebug 通过 JTAG 端口上的命令，即可在器件中动态选择不同的探测点，无需对器件进行重新编程。

调试探测系统包括以下功能：

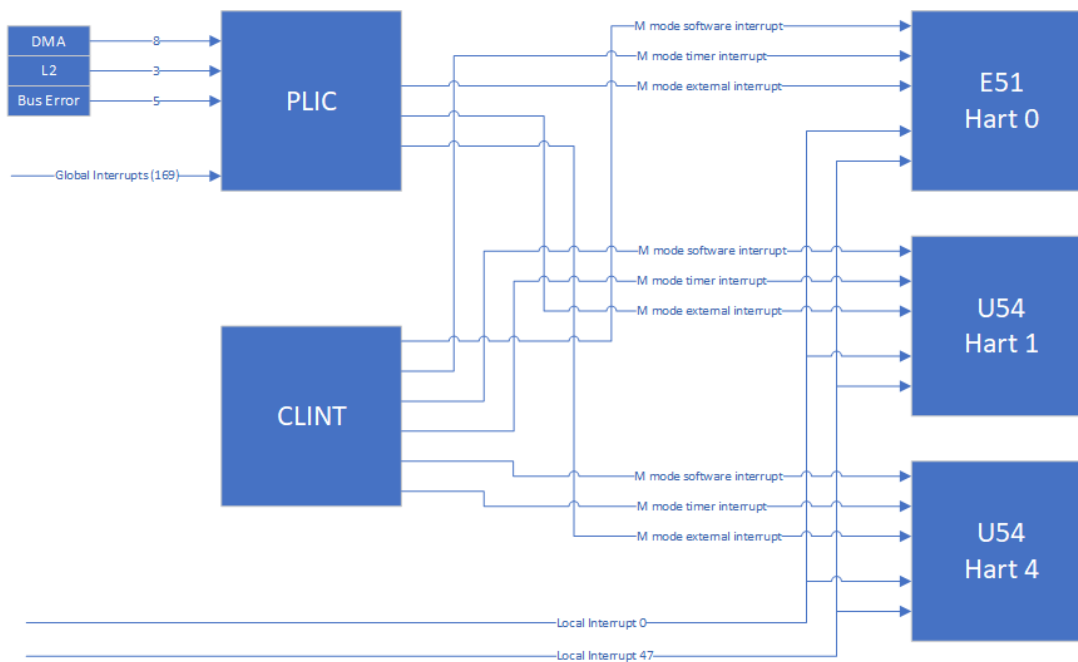
- 实时探针允许对触发器或探测点进行动态异步读写。这样可以对逻辑输出进行快速内部观察，也可以进行探测点写入如何影响逻辑的实验。
- 存储器调试允许对 μ SRAM 或大容量 SRAM 模块进行动态异步读写，以快速验证存储器的内容是否按预期发生变化。
- 探针插入允许通过未使用的 I/O 在外部对 FPGA 设计中的节点或调试点进行路由。可与示波器/逻辑分析仪相连，将其作为实时信号进行监视。

3.3 中断

PolarFire SoC 中的每个硬件线程（hardware thread, hart）都支持以下中断：本地中断（包括软件和定时器）和全局中断。本地中断通过专用中断值直接向各个硬件线程发送信号。由于不需要仲裁来确定将由哪个 hart 为给定请求服

务，也不需要额外的存储器访问来确定中断原因，因此可以缩短中断延迟时间。软件和定时器中断是由内核本地中断器（Core Local Interruptor, CLINT）产生的本地中断。相比之下，全局中断则通过平台级中断控制器（PLIC）进行路由，它可通过外部中断将中断定向到系统中的任何 hart。将全局中断与硬件线程分离，可根据平台定制 PLIC 设计，支持更广泛的属性，例如中断个数、优先级以及路由方案。默认情况下，所有中断都在机器模式下处理。U54 支持监控器模式，可选择将中断委托给监控器模式。

图 3-1. 中断



3.4 存储器子系统

PolarFire SoC 包含用于用户代码的片上 128 KB 嵌入式非易失性存储器（eNVM）、灵活的 L2 存储器子系统和集成的 DDR 存储器控制器。

3.4.1 L2 存储器子系统

PolarFire SoC 二级高速缓存控制器用于为内核复合体中的主器件提供对存储器快速副本的访问。二级高速缓存控制器还用作基于目录的一致性管理器。二级高速缓存控制器提供广泛的灵活性，因为它除了二级高速缓存功能外，还提供一些其他特性，例如对已禁止高速缓存路的 L2 高速缓存 RAM 进行存储器映射访问、高速暂存功能、路屏蔽和锁定、具有错误跟踪统计和错误注入的 ECC 支持以及中断信令功能。

L2 高速缓存控制器配置为 4 个存储区，每个存储区包含 512 个 16 路组，每路包含 64 个字节的块。由于每个存储区都有自己的 128 位内部端口，因此细分为存储区将有助于提高 CPU 主器件与 L2 高速缓存之间的可用带宽。这样就可以并行执行对不同存储区的多个请求。L2 高速缓存控制器的外部端口是一个 128 位端口，在所有存储区之间共享，并连接到 DDR 控制器。

当高速缓存路被禁止时，可在 L2 松散集成存储器（L2 Loosely Integrated Memory, L2LIM）地址空间中对其进行寻址，如 *UG0880 PolarFire SoC FPGA Microprocessor Sub-System User Guide* 中所述。从 L2-LIM 中提取指令或数据可提供与 L2 高速缓存命中等效的确定性行为，不会发生高速缓存未命中的情况。对 L2-LIM 的访问始终优先于针对同一 L2 高速缓存存储区的高速缓存路访问。复位后，除路 0 外的所有路均被禁止。可以通过写入特定的控制寄存器来使能高速缓存路。高速缓存路使能后，除非对 CPU 复合体进行复位，否则将无法禁止。编号最高的 L2 高速缓存路映射到编号最低的 L2-LIM 地址空间，路 1 占据最高的 L2-LIM 地址范围。随着 L2 高速缓存路的使能，L2-LIM 地址空间将缩小。

L2 高速缓存控制器具有专用的高速暂存地址区域，该区域允许使用不受存储器支持的地址范围进行高速缓存中的分配。此地址区域在存储器映射中表示为 L2 零号设备。对高速暂存区的写入将分配给已使能但未屏蔽的缓存路。但是，必须谨慎使用高速暂存，因为没有存储器支持该地址空间。从高速暂存中的地址进行高速缓存逐出将导致数据丢失。

与 L2-LIM 相比，L2 高速暂存的主要优势在于，它是一个可高速缓存的区域，使存储到高速暂存中的数据也可以缓存到主器件的 L1 数据高速缓存中，从而加快访问速度。

3.4.1.1 DDR 存储器控制器

强化型 32 位 DDR 存储器控制器支持以下特性：

- 支持 DDR4、LPDDR4、DDR3 和 LPDDR3 存储器
- 支持双管芯封装的双等级
- 支持最大速率 1600 Mbps
- DDR 存储器测试功能
- 队列重排序以优化 DDR 性能
- 两个 AXI 接口
 - 128 位来自 CPU L2 高速缓存
 - 64 位来自中央 AXI 交换机
- 每个 AXI 接口 32 个未完成事务
- 集成的跨时钟域（Clock Domain Crossing, CDC）电路，允许 DDR 控制器时钟独立于 CPU 时钟
- DDR 时钟生成专用 PLL

它最多可支持 8 GB 的外部 DDR4 存储器和 4 GB 的 DDR3 存储器。当配置为 36 位总线宽度时，还可提供 SECEDED 功能，如下表所示。

表 3-3. DDR 存储器控制器

配置	有效焊盘	通道 0	通道 1	通道 2	通道 3	通道 4 ¹
5x8 DDR, 带 SECEDED	36	DDRx8	DDRx8	DDRx8	DDRx8	DDRx8 (已使用 4 个)
4x8 DDR	32	DDRx8	DDRx8	DDRx8	DDRx8	未使用
3x16 DDR, 带 SECEDED	36	DDRx16		DDRx16		DDRx16 (已使用 4 个)
2x16 DDR	32	DDRx16		DDRx16		未使用
3x16 DDR, 带 SECEDED	18	DDRx8	DDRx8	—	—	DDRx8 (已使用 2 个)
2x16 DDR	16	DDRx8	DDRx8	—	—	—
1x16 DDR, 带 SECEDED	18	DDRx16		—	—	DDRx16 (已使用 2 个)
1x16 DDR	16	DDRx16		—	—	—
1x32 DDR	32	DDRx32				—

注：

1. 通道 4 只有 4 位宽，DDR 存储器的高位数据位未连接。

3.4.1.2 处理器互连

MSS 中内置了两个互连交换机。第一个是完整安装、连接的相干交换机，它通过存储器子系统进行一致性管理，并在 L2 存储器子系统配置为松散集成存储器时，为其提供确定性数据路径。另一个是中央 AMBA I/O 交换机，可以管理 CPU 复合体、外设 I/O 空间、强化型 DDR 存储器控制器和 FPGA 结构之间的互连。AMBA 交换机还提供服务质量（Quality of Service, QoS）功能。QoS 功能本质上是一个代表数据路径优先级的 4 位值。中央 I/O 交换机部分连接，支持 15 个主器件和 9 个从器件。AMBA 交换机还包含一个存储器保护单元（MPU）方案，可模拟 RISC-V 特权规范中定义的物理存储器保护（PMP）方案。具体来说，下表列出的总线主器件都会通过 AMBA MPU。PMP 区域地址的粒度从 4096 开始，并以 2 的幂递增。可进行区域定义以支持执行、读或写。可将每个寄存器上的附加锁定位置 1，以防 MPU 保护方案在下次上电复位之前被进一步修改。

表 3-4. 处理器互连

主器件	PMP 区域计数
FIC_0	16
FIC_1	16
FIC_2	8
加密	4
Ethernet_0	8
Ethernet_0	8
USB	4
MMC	4
DRI	8
跟踪	2

3.5 处理器 I/O

3.5.1 千兆以太网 MAC

PolarFire SoC 包含集成到 MSS 中的两个完全相同的千兆以太网 MAC（Gigabit Ethernet MAC，GEM）。每个 MAC 可包含的最大帧长度为 10,240 个字节，这些字节受 SECDED 保护。此外，GEM 支持内置的数据包缓冲 DMA。每个 GEM 支持以下 IEEE[®] 802 标准：

- IEEE 802.3br 帧抢占（或散布快速流量）
- IEEE 802.1Qci 接收（入口）流量监管
- IEEE 802.1Qbb 基于优先级的流量控制
- IEEE 802.1Q VLAN 标记，支持传入的 VLAN 和优先级标记帧的识别
- IEEE 802.1AS
- IEEE 802.1Qav
- IEEE 802.1Qbv
- IEEE 1588-2002（v1），IEEE 1588-2008（v1 和 v2）
- IEEE 802.1CB 帧冗余和消除

3.5.1.1 PHY 接口

每个 GEM 均配置为同时支持 TBI 和 GMII/MII 模式。在 TBI 模式下，将使用 MAC 的 PCS 块，但不是用作连接收发器的 IEEE802.3X 接口，而是馈入到专用的 MSS SERDES 块，并从那里连接到 PHY。MAC 和 PHY 之间的这个串行化接口称为 SGMII，它是 MSS 的一部分。在 SGMII 模式下，PCS 接口和链接速度自动协商模块从其 802.3X 功能中被重新设置用途，用来传递与 MAC-PHY 接口有关的信息。

3.5.1.1.1 直接 SGMII I/O

以下功能可提供从 GEM 至内置 MSS SGMII PHY 的 SGMII 接口：

- 接收的 125 MHz 时钟的时钟域恢复（Clock Domain Recovery，CDR）
- 序列化/反序列化
- 用于合成 125 MHz 发送时钟的 PLL
- I/O 缓冲区（每个 MAC 实例四个 I/O）允许差分发送和接收数据对

注： 使用直接 MSS SGMII 接口时，不支持 SyncE 协议。

3.5.1.1.2 GMII/MII 至 FPGA 结构

在每个 MAC 与 FPGA 结构之间提供了一个 GMII/MII 接口，以提供灵活性。特别是，它允许：

- 动态执行定制的数据处理
- 连接至 FPGA 结构收发器通道以提供 SGMII 接口。注意，在这种情况下，收发器将配置为在其 PCS 中执行 8b10b 编码/解码。这种实现 SGMII 接口的特殊方法与 MSS 的直接硬 SGMII 接口不同，它支持 SyncE 协议，该协议通常与 IEEE 1588 结合使用。

3.5.1.1.3 PHY 管理

每个 MAC 都有一个 MDC 输出和一个 MDIO 输入和输出端口，可以针对 MSS 内的每个 MAC 实例分别将其引出到 MSSIO 或 FPGA 结构。但是，如果需要，用户可以仅引出一个管理接口（而无需使用第二个），因为可以使用一个接口控制多个 PHY（如果不需要硬件分离）。

3.5.1.2 MSS 接收过滤

3.5.1.2.1 内部过滤

GEM 配置为具有四个内部特定地址过滤器。每个过滤器可配置为包含一个 MAC 地址，可指定该地址用来与每个接收帧的源地址（source address, SA）或目标地址（destination address, DA）进行比较。过滤器还提供一个掩码字段，允许在比较中排除该地址的某些字节。如果过滤结果与特定帧匹配，则将其传递到 DMA 存储器。否则，将该帧丢弃。也可以使用类型 ID 字段对帧进行过滤匹配。内部寄存器空间中有四个类型 ID 寄存器，它们可以单独使能。可配置接收帧 DA 的哈希算法，如 *UG0880 PolarFire SoC FPGA Microprocessor Sub-System User Guide* 中所述。

3.5.1.2.2 外部过滤

为了能对输入帧进行更复杂的匹配（例如不仅是基于地址），还提供了一个外部过滤接口。当接收到一个帧时，MAC 会解析该帧并确定当前存在哪个字段。将提供一个选通信号以允许锁存结构中的每个字段。然后，定制（组合）匹配电路可以分析它是否需要特定帧（过滤用例），或者将帧放入哪个接收优先级队列（按优先级排序用例）。

3.5.2 MMC 5.1/SD/SDIO/eMMC

PolarFire SoC 包含一个符合 MMC5.1 标准的外设和 PHY。控制器仅通过 IOMUX 与 MSS I/O 连接。PolarFire SoC MSS I/O 不支持某些 SD 卡的动态电压缩放，如果需要，应使用外部电压转换器。PolarFire SoC 支持以下 eMMC/SD 卡标准。

3.5.2.1 SD 卡标准

- 默认速度（DS）
- 高速（HS）
- UHS-I SDR12
- UHS-I SDR25
- UHS-I SDR50
- UHS-I SDR104
- UHS-I DDR50

3.5.2.2 eMMC 标准

- 标准速度
- 高速
- DDR52
- HS200
- HS400
- HS400 增强型选通

3.5.3 USB 2.0 OTG

PolarFire SoC 包括一个符合 USB 2.0 OTG 规范的内核，提供 ULPI 接口，可连接 IOMUX，再连接至专用 MSS I/O。USB 内核支持以下功能：

- 既可作为高速/全速 USB 外设的功能控制器，也可作为与其他 USB 功能进行点对点或多点通信的主机/外设
- 符合 USB 2.0 标准的高速（480 Mbps）功能要求，以及 USB 2.0 规范 On-The-Go 补充标准要求

- 支持与一个或多个高速、全速或低速设备的 OTG 通信
- 支持会话请求协议（Session Request Protocol, SRP）和主机协商协议（Host Negotiation Protocol, HNP）
- 支持暂停和恢复信令
- 支持链路电源管理
- 提供端点的动态分配，以最大限度地增加支持设备的数量
- Tx 端点数：4（加上控制端点）
- Rx 端点数：4（加上控制端点）
- 支持多点功能
- 使能软件连接/断开功能
- 对 ISO 使能端点的高带宽支持
- 8 位/4 位 LPI 接口的硬件可选项
- 使能供应商控制和状态寄存器，宽度分别为 4 和 8
- DMA 通道数：4
- 动态 FIFO 支持允许为每个使能端点动态分配缓冲区深度

3.5.4 用户加密

PolarFire SoC 嵌入了 Athena TeraFire F5200B 抗侧信道加密协处理器，可在“S 级”数据安全设备上使用。用户加密内核可以通过基于硬件的握手机制在 MSS 和 FPGA 结构之间进行映射。加密内核还支持 F5200B 流接口直接进入结构。Athena 内核中的内部存储器受 SECEDED 保护。

3.5.4.1 TeraFire EXP-F5200B 支持的协议功能

- TRNG SP800-90A CTR_DRBG-2565；SP800-90B（草案）NRBG
- AES 128/192/256 密钥长度 E/D（ECB、CBC、CTR、OFB、CFB、GCM 和 KeyWrap）
- SHA-1/224/256/384/512
- HMAC-SHA-1/224/256/384/512；GMAC-AES；CMAC-AES
- SHA-256 密钥树
- ECC：NIST P256/384/521 和 Brainpool P256/384/512 曲线；KeyGen、KAS-ECC CDH、ECDSA SigGen 和 SigVer、PKG 以及 PKV
- IFC：1024/1536/2048/3072/4096 RSA E/D；SSA_PKCS1_V1_5 SigGen 和 SigVer；X9.31 SigGen 和 SigVer
- FFC：1024/153/2048/3072/4096；KAS-DH、DSA SigGen 和 SigVer

3.5.5 控制器局域网

PolarFire SoC 集成了两个控制器局域网内核，符合 CAN 2.0 A 和 B 规范以及 ISO11898-1 标准。内部消息 SRAM 受 SECEDED 保护。以下是 CAN 控制器的特性。

3.5.5.1 接收路径

- 32 个接收缓冲区
- 每个缓冲区都有自己的消息过滤
- 消息过滤包含：ID、IDE、RTR、数据字节 1 和数据字节 2
- 可将消息缓冲区链接在一起，建立一个更大的消息数组
- 自动远程传输请求（remote transmission request, RTR）响应处理程序，提供可选的 RTR 中断产生

3.5.5.2 发送路径

- 32 个支持可编程优先级仲裁的 Tx 消息保持寄存器
- 消息中止命令
- 单次发送（出错或丢失仲裁后不会自动重新发送）

3.5.5.3 调试支持

- 监听模式

- 内部环回模式
- 外部环回模式
- 错误捕捉寄存器
- SRAM 测试模式，支持基于软件的存储器测试（如果内核被禁止，则可由 CPU 寻址 SRAM）

3.5.6 QSPI XIP 控制器

PolarFire SoC 集成了具有就地执行（eExecute in place, XIP）功能的四通道 SPI（Quad SPI, QSPI）闪存控制器。QSPI 特性如下。

- 主器件 SPI 数据速率
 - 可编程 SPI 时钟 HCLK/2、HCLK/4 或 HCLK/6
 - 最大数据速率为 HCLK/2
- FIFO
 - 发送和接收 FIFO
 - 16 字节发送 FIFO 深度
 - 32 字节接收 FIFO 深度
- SPI 协议
 - 主器件操作
 - 支持 Motorola SPI
 - 可配置的空闲周期从器件选择操作
 - 支持扩展 SPI 操作（1、2 和 4 位）
 - 支持 QSPI 操作（4 位操作）
 - 支持 BSPI 操作（2 位操作）
 - 支持 XIP（就地执行）
 - 支持 3 字节或 4 字节的 SPI 地址
- 帧大小
 - 直接支持 8 位帧
 - 背靠背帧操作支持 > 8 位帧
 - 支持最高 4 GB 传输（ 2^{32} 字节）
- 减少处理器开销
 - 支持 SPI 闪存命令/数据包，具有自动数据生成和丢弃功能

3.5.7 串行外设接口

串行外设接口（serial peripheral interface, SPI）是一个同步串行数据协议，用于支持微处理器或单片机与外设之间的相互通信。SPI 控制器提供了一个兼容 Motorola SPI、Texas Instruments 同步串行和 National Semiconductor MICROWIRE™ 格式的串行接口。此外，SPI 还支持与大容量 SPI 闪存和 EEPROM 器件以及基于硬件的从协议引擎的接口。MSS 中有两个完全相同的 SPI 控制器。

- SPI 外设支持以下特性。
- 主从模式
- 可选从器件（最多 8 个）
- 可配置的从器件选择操作
- 可配置的时钟极性
- 独立的发送（Tx）和接收（Rx）FIFO，以减少中断服务负载

3.5.8 多模式 UART

PolarFire SoC 多模式通用异步/同步收发器（multi-mode universal asynchronous/synchronous receiver/transmitter, MMUART）对源自调制解调器或其他串行设备的数据执行串并转换，对来自 CPU 的数据执行并串转换。PolarFire SOC 包含 5 个完全相同的 MMUART。MMUART 与常用的 16550 UART 器件软件兼容。

MMUART 外设支持以下特性。

- 异步和同步操作
- 完全可编程的串行接口特性
- 数据宽度可编程为 5、6、7 或 8 位
- 偶校验、奇校验或无奇偶校验位生成/检测
- 1 位、1½位和 2 位停止位生成
- 9 位地址标志功能用于多点寻址拓扑
- 独立的发送 (Tx) 和接收 (Rx) FIFO，以减少处理器中断服务负载
- 单线半双工模式，其中 Tx 焊盘可用于双向数据传输
- 局域互联网 (Local interconnect network, LIN) 报头检测和自动波特率计算
- 与 ISO 7816 智能卡通信
- 小数波特率功能
- 归零反转制 (Return to Zero Inverted, RZI) 调制/解调模块，允许进行红外数据协会 (infrared data association, IrDA) 和串行红外 (serial infrared, SIR) 通信
- 发送或接收数据时，最高有效位 (most significant bit, MSb) 或最低有效位 (least significant bit, LSB) 作为第一位

3.5.9 I²C

飞利浦内部集成电路 (I²C) 是一个两线串行总线接口，可在多个器件之间提供数据传输。PolarFire SoC 在 MSS 中包含两个相同的 I²C 外设，为 PolarFire SoC 与外部 I²C 兼容器件之间的串行通信提供了一种机制。I²C 外设支持以下特性：

- 主从模式
- 7 位寻址格式，标准模式下数据传输速度最高可达 100 Kbps，快速模式下数据传输速度最高可达 400 Kbps
- 多主器件冲突检测和仲裁
- 自己的从器件地址和广播呼叫地址检测
- 第二从器件地址检测
- 系统管理总线 (System management bus, SMBus) 超时和实时空闲状态计数器
- 输入毛刺或尖峰滤波器

3.5.10 实时计数器

PolarFire SoC 集成了一个内置时钟预分频器和报警闹钟唤醒比较器的实时日历。它具有以下两种工作模式。

- 实时日历 (进行秒、分、时、天、周、月和年计数)
- 二进制计数器 (从 0 计数到 2⁴³)

3.5.11 看门狗定时器

MSS 中提供五个看门狗，每个 CPU 一个。看门狗通过要求所分配的处理器定期对其进行重置来防止系统崩溃。看门狗在复位时不使能，并在达到触发值时生成一个 NMI。看门狗一旦使能将无法禁止。

3.5.12 定时器

PolarFire SoC 系统定时器由两个可编程 32 位递减计数器组成，可针对 Cortex[®]-M3 处理器和 FPGA 结构产生中断。两个 32 位定时器完全相同，并具有以下特性。

- 单触发模式
- 周期模式
- 串联模式，可将两个 32 位定时器串联以创建一个 64 位定时器
- 提供定时器达到零时允许或禁止中断请求的选项
- 启动、停止和复位定时器控制

3.6 处理器与 FPGA 结构的互连

FPGA 结构与 MSS 交换机之间的互连基于 AXI 或 APB。有三个 AXI 64 位接口。两个接口支持从 MSS 至结构和从结构至 MSS 的完整的 64 位 AXI 总线。一个 AXI 64 位接口支持从结构至 MSS 的完整 64 位 AXI 总线。这些 AXI 总线均具有 DLL，可消除任何插入延迟，并可与处理器工作频率异步运行。此外，MSS 还向结构提供一个 32 位 APB 总线。

表 3-5. 处理器至 FPGA 的互连

接口	类型	宽度	MSS 至结构	结构至 MSS	DLL
FIC_0	AXI4	64b	支持	支持	支持
FIC_1	AXI4	64b	支持	支持	支持
FIC_2	AXI4	64b	不支持	支持	支持
FIC_3	APB	32b	支持	不支持	支持

3.7 安全引导

PolarFire SoC 提供两个安全引导选项。对于默认的 PolarFire SoC 安全引导方法，系统控制器将从其专用的安全存储区域复制 Microchip 安全自举程序，并将其加载到 E51 监控内核的 8 KB DTIM 中。将向 CPU 释放复位，引导代码将开始执行。默认的安全自举程序将在 128 KB eNVM 上执行签名检查，然后在 eNVM 映像上运行哈希。如果未报告任何错误，则代码将跳转到 eNVM。如果报告了错误，则系统控制器将激活篡改报警，向 FPGA 结构发出信号。然后，用户可以决定行动计划。

第二种安全引导方法允许用户将自己的引导代码存放在芯片的安全非易失性存储器（sNVM）区域中。sNVM 是一个 56 KB 的非易失性存储器，受内置的物理反克隆功能（PUF）保护，这意味着唯一的 PUF ID 可以作为抗侧信道系统控制器协处理器执行 AES 加密/解密操作的初始化向量。上电时，系统控制器将从 sNVM 中复制用户代码，并将其写入 E51 监控内核 DTIM。自定义安全自举程序从那里开始执行。

3.8 外设存储器 SECCDED 报告和错误注入

千兆以太网 MAC、MMC 5.1 控制器、USB OTG 控制器、CAN 控制器、加密内核以及内置 MSS DDR 控制器中的存储器均采用单个位错误纠正和双位错误检测（SECCDED）纠错码（ECC）子系统进行保护，该子系统在 32 位存储器中增加 7 位，在 64 位存储器中增加 8 位。CPU 系统内部的存储器具有自己的 ECC 控制和报告系统。外部 DDR 存储器支持可选的 ECC（使用第五个 DDR 存储区）。每个 MSS 内部存储器系统都有自己的控制和状态寄存器组，包括状态、中断允许、计数和错误注入寄存器。当检测到一个两位错误时，将不会进行数据纠正。如果正在通过内部 AMBA 总线读取数据，则系统将做出响应，利用 APB、AHB 或 AXI 错误响应将数据标记为已损坏。如果允许中断，还将产生一个中断。如果数据不是通过 USB、CAN、以太网等 AMBA 总线读取的，则将传输损坏的数据，并产生一个中断。然后，系统就可以对总线错误事件或中断做出响应，并采取适当的恢复操作。支持 ECC 错误注入，以简化纠错子系统的客户验证。通过设置适当的 EDAC 错误注入控制寄存器，可以写入带有 1 位、2 位或 3 位错误的的数据。

3.9 DMA 控制器

PolarFire SoC 直接存储器访问（direct memory access, DMA）控制器最多支持 4 个通道的独立同时传输。每个通道都有自己的一组控制器寄存器和两个中断（完成和错误中断）。总线事务的大小可编程，并且事务可以自动加载到 DMA 引擎中。DMA 引擎与 hart 系统服务（在 E51 上运行的固件）结合使用。

4. 可编程逻辑子系统

以下章节介绍了可编程逻辑子系统。

4.1 时钟管理

每个 PolarFire FPGA 都具有 8 个 DLL 和 8 个 PLL，以提供灵活的时钟生成和管理功能。除了这些 DLL 和 PLL，还可提供最多 15 个收发器通道发送 PLL。

以下是时钟管理架构的主要亮点。

- 高速缓冲区和低偏斜时钟分配路由
- 频率合成和相移
- 低抖动时钟生成和抖动滤波

4.1.1 DLL

DLL 可为 I/O 数字延时线提供计算得到的 PVT 补偿延时，并可为 FPGA 结构提供延迟或相移时钟。

以下是可以配置的主要 DLL 模式。

- 时间参考模式——DLL 以单个时钟作为输入，并确定需要多少个延时线缓冲抽头才能使信号通过它们进行旋转。时间参考模式的主要用途是了解时钟延迟 90 度需要多少个延时抽头。然后将该值提供给双倍数据速率（double data rate, DDR）存储控制器的数据选通信号（data strobe signal, DQS）/DQSn 输入信号，使所有 DQS/DQSn 信号按需要延迟 90 度相移，以从存储器设备中捕捉数据。具有相同时钟速率的多个存储器接口可以复用相同的 DLL，利用通道级控制实现 PVT 更新。
- 时钟注入延迟模式——DLL 可用于补偿与源同步接收接口相关的时钟注入延迟。DLL 可为全局、区域和高速存储区时钟匹配延迟。在此模式下，DLL 提供两个输出：一个是时间固定的 x1 输出，另一个是可以 x1、x2 或 x4 分频且可相移的输出。

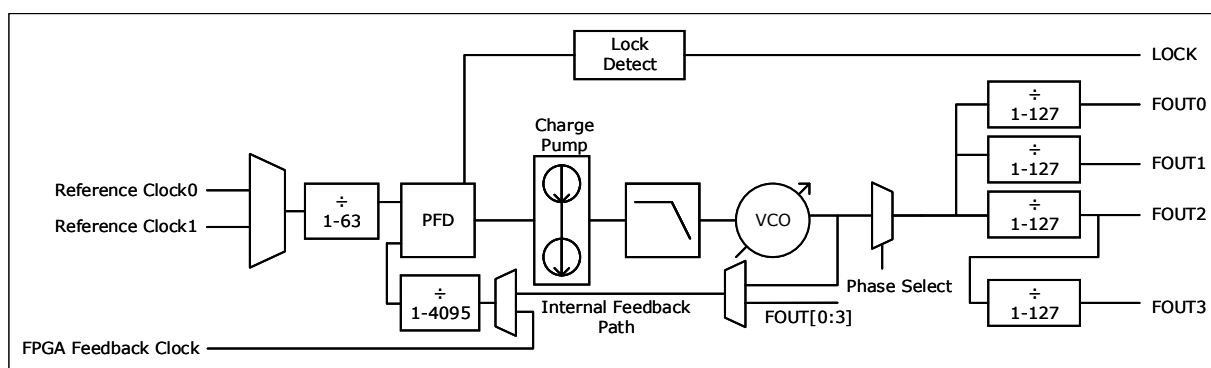
4.1.2 PLL

可编程 $\Delta - \Sigma$ 型低抖动小数分频 PLL 是多功能通用频率合成器，如 PLL 框图所示。这些 PLL 兼具宽输入输出范围和一流的抖动性能，几乎可用于任何时钟应用。该 PLL 具有出色的电源噪声抗扰性，非常适合用于嘈杂的 FPGA 环境中。

- PLL 输出时钟具有 8 个相位差为 45 度的相位。可从 PLL 的任意八个相位中进行选择，以驱动四个独立输出，即每个输出可在八个相位中任选其一，独立于其他输出选择，并且每个输出在不使用时也可将其驱动为零输出。
- 然后，可将来自 PLL 四个输出中的每一个独立除以 1 到 127 之间的任何值。每个 PLL 输出最多经过七个 VCO/4 周期后再提供给输出分频器。可针对每个输出时钟独立设置延迟输出。
- 在反馈分频器中添加了小数 N 分频（24 位精度）功能，可使 VCO 频率变为参考时钟输入频率的非整数分频。基频应用于所有 PLL 输出。
- PLL 支持通过寄存器映射或结构控制独立地在四个输出中的任何一个输出上实现无干扰启动和停止。此功能还允许在时钟停止期间对输出分频器的值和 VCO/4 相位选择进行无干扰修改。
- 对于 PLL 的精细粒度相位控制，可以将它们与位于 PLL 附近的 DLL 级联，从而可以在工艺、电压和温度（process, voltage, and temperature, PVT）补偿或非 PVT 补偿模式下使用 DLL 延迟线，以提供所需的相位控制。

下图显示了 PLL 功能的流程。

图 4-1. PLL 框图



4.1.3 时钟网络

时钟网络旨在将时钟和异步复位信号以有限的偏斜路由至结构的较大的区段。有时，该网络也可以用于可容忍较长延迟的其他高扇出信号，例如非时序关键型同步使能或复位。FPGA 结构具有两个主要的时钟网络：全局时钟和区域时钟。

4.1.3.1 全局时钟

该器件为所有同步单元提供 24 个低偏斜全芯片全局时钟。可将全局时钟分配到器件结构的左侧和右侧。因此，半芯片全局时钟的总数可以增加至 48 个，24 个位于左侧，24 个位于右侧。

4.1.3.2 区域时钟

最多有 38 个区域时钟域可与器件边沿连接。区域时钟根据器件的大小提供固定数量的逻辑单元。FPGA I/O 最多可使用 14 个时钟，收发器通道最多可使用 24 个时钟，每个通道方向一个。这些是用于将数据移入和移出结构的快速插入时钟网络。

4.2 调试探测系统

可以将两个指定的用户 I/O（在设计捕捉阶段）配置为两个单端实时探针或一个差分实时探针。通过这些实时探针，可以对 FPGA 结构中的任何寄存器、LSRAM 中的输出流水线寄存器以及数学模块中的所有寄存器进行实时读取访问，而无需重新插装代码。可异步创建和读取所有内部探测点的快照。实时探针功能可以看作是一个双通道示波器，这两个通道可以路由至 I/O 进行外部观察，也可以路由至内部端口来观察结构设计。使用 SmartDebug 通过 JTAG 端口上的命令，即可在 PolarFire FPGA 中动态选择不同的探测点，无需对 FPGA 进行重新编程。

调试探测系统的功能包括：

- 实时探针允许对触发器或探测点进行动态异步读写。这样可以对逻辑输出进行快速内部观察，也可以进行探测点写入如何影响逻辑的实验。
- 存储器调试允许对 μ SRAM 或大容量 SRAM 模块进行动态异步读写，以快速验证存储器的内容是否按预期发生变化。
- 探针插入允许通过未使用的 I/O 在外部对 FPGA 设计中的节点或调试点进行路由。可与示波器/逻辑分析仪相连，将其作为实时信号进行监视。

4.3 I/O

PolarFire 器件用户 I/O 支持多种 I/O 标准，同时可提供所需的高带宽，以最大限度地提高器件的内部逻辑功能，实现所需的系统级性能。

4.3.1 低功耗高速收发器通道

所有 PolarFire FPGA 都具有先进的低功耗收发器通道功能，速度最低为 250 Mbps，最高可达 12.7 Gbps。PMA 的设计可支持具有先进控制和调试功能的多种协议（如下表所列）。PCI Express Gen1 或 Gen2 支持由硬宏提供。所有其他协议都使用软 IP 实现。通过 GPIO 3.3 V LVDS 差分对也支持串行千兆以太网。一个发送 PLL 最多可为四个收发器通道提供高速时钟。

表 4-1. 收发器通道协议支持

协议	数据速率 (Gbps)	绑定的通道
PCIe	2.5, 5	1, 2, 4
Interlaken	6.375, 12.7	1-16
10GBASE-KR	10.3125-12.7	1
SGMII/QSGMII	1.25-5	1
XAUI	3.125	4
RXAUI	3.125, 6.25	2, 3, 4, 6
HiGig/HiGig+/HiGiGII	3.75-4.065	4
光纤通道	0.6144-12.165	1
SRIO	1.25-6.3	1, 2, 4, 8
SATA	1.5-6	1
JESD204B	0.5-12.5	1-4
显示端口	2, 5, 8	4
SDI	0.277-11.88	1

4.3.1.1 低功耗收发器通道特性

低功耗收发器通道具有以下特性。

- 高级低功耗模式
- 可编程发送幅度和加重控制
- 低速 CDR 运行，支持 270 Mbps SMPTE 串行线速率
- 连续时间线性均衡 (Continuous time linear equalization, CTLE) 和决策反馈均衡 (decision feedback equalization, DFE)，适用于长距离或背板应用
- 自适应接收器均衡和集成式眼图监视器功能，可轻松进行串行链路调谐
- 如果不需要，可以关闭眼图监视器和/或均衡器以降低功耗
- 带外、空闲状态电子信令功能，支持 SAS、SATA 和 PCIe
- 多种环回模式，用于测试和调试
- 发送抖动衰减，用于环路定时应用 (与 SyncE 兼容)
- 热插拔能力
- IEEE 1149.6 AC JTAG
- 相邻通道环回模式，允许收发器通道数据流在 FPGA 结构编程期间保持有效

4.3.1.2 发送器

发送器本质上是一个并行-串行转换器，具有 8、10、16、20、32、40、64 或 80 位的转换比。它允许设计人员在高性能设计中针对时序裕量来权衡数据路径宽度。这些发送器输出使用差分输出信号驱动 PCB。TX_CLK 是经过适当分频提供给结构的串行数据时钟，可直接用于记录来自内部逻辑的并行数据。对 8b/10b、64b/66b 或 64b/67b 编码方案，发送并行数据具有额外的硬件支持，以提供足够数量的转换。位串行输出信号使用差分信号驱动两个封装引脚。输出信号对支持多种串行协议，并具有可编程信号摆幅以及可编程预加重和后加重功能，以补偿 PCB 损耗和其他互连特性。对于较短的通道，可以减小摆幅以降低功耗。每个发送通道可以由两个发送 PLL 中的一个提供信号源。每个发送 PLL 最多可以驱动四个收发器通道。发送器 PLL 采用先进的小数分频合成器，集成了抖动衰减功能。

4.3.1.3 接收器

接收器本质上是一个带有时钟恢复功能的串行-并行转换器，可将传入的位串行差分信号转换为 8、10、16、20、32、40、64 或 80 位字的并行流。因此，FPGA 设计人员可以在内部数据路径宽度与逻辑时序裕量之间进行权衡。接收器接收到传入的差分数据流，通过可编程线性和决策反馈均衡器（以补偿 PCB 和其他互连特性）馈送该数据流，并使用参考时钟输入启动时钟识别。数据模式使用不归零（non-return-to-zero, NRZ）编码，并可选择使用选定的编码方案来保证足够的转换。对 8b/10b、64b/66b 或 64b/67b 编码方案，传出并行数据具有额外的硬件支持，以提供足够数量的转换。并行数据利用恢复时钟（RX_CLK）传输到 FPGA 逻辑中。

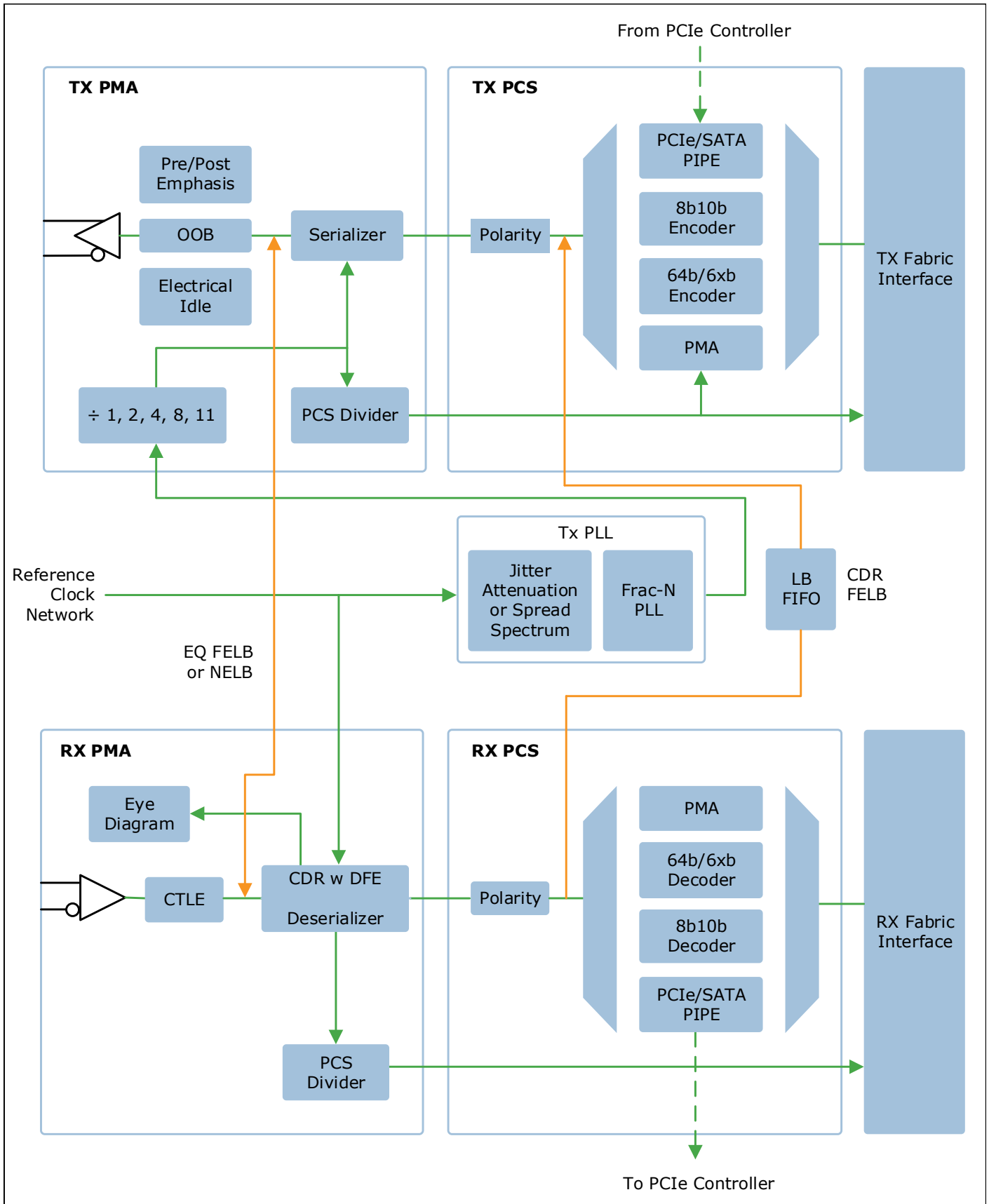
4.3.1.4 收发器通道模式

收发器通道支持以下五种工作模式。

- PMA——直接访问 PMA，无需任何编码
- 8b/10b——提供 8b/10b 编码/解码
- 64b/6xb——提供带变速箱逻辑的 64b/66b 或 64b/67b 编码/解码
- PIPE——同时支持 PCIe Gen2 和 SATA 3.0 的 PIPE 接口
- PCIe——直接连接至嵌入式 PCIe Gen2 控制器

下图显示了收发器通道支持的五种模式的协作关系。

图 4-2. 收发器通道模式

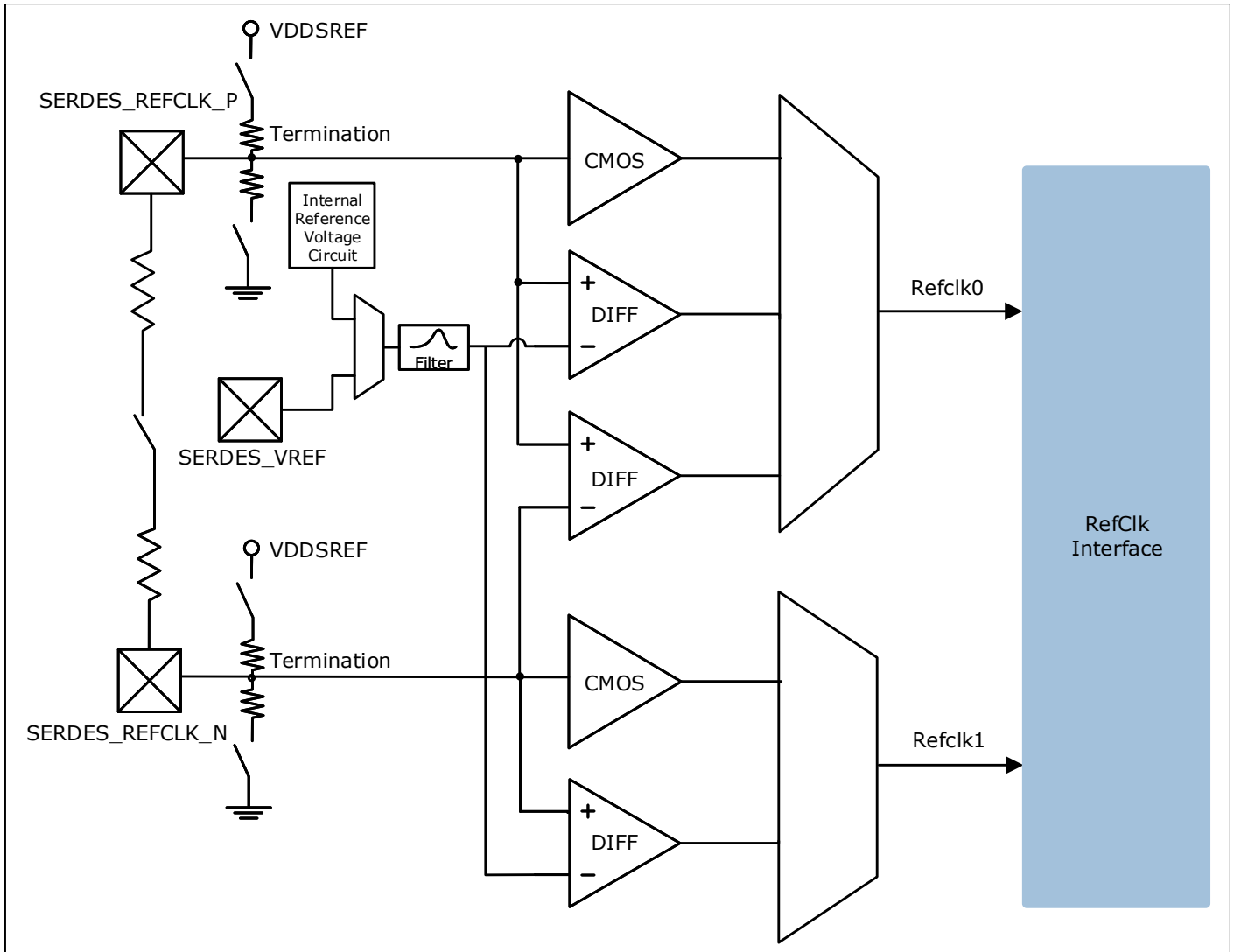


4.3.1.5 参考时钟

参考时钟引脚允许与收发器四通道组直接相连。参考时钟输入提供了与单端和差分两种时钟相连的灵活性，并且每个收发器四通道组最多可以驱动两个独立的时钟。这些参考时钟也可以作为器件 FPGA 结构中全局和区域时钟网络的时钟源。

下图显示了参考时钟和收发器四通道组之间的连接。

图 4-3. 参考时钟



4.3.1.6 四通道组覆盖层分配

收发器通道将接口的并行侧连接到 PCIe Gen2 控制器或结构。PCIe 连接固定在硬件中，并且在两个控制器之间具有特定数量的组合。结构接口用于支持 PMA、8b/10b、64b/6xb 和 PIPE 模式，可提供完全灵活的结构连接。

下表列出了 PCIe 与结构控制器之间的组合。

表 4-2. Quad0 通道分配

PCIe_0 控制器	Quad0 通道 0	Quad0 通道 1	Quad0 通道 2	Quad0 通道 3	PCIe_1 控制器
x1	PCIe_0	不支持	不支持	PCIe_1	x1

..... (续)

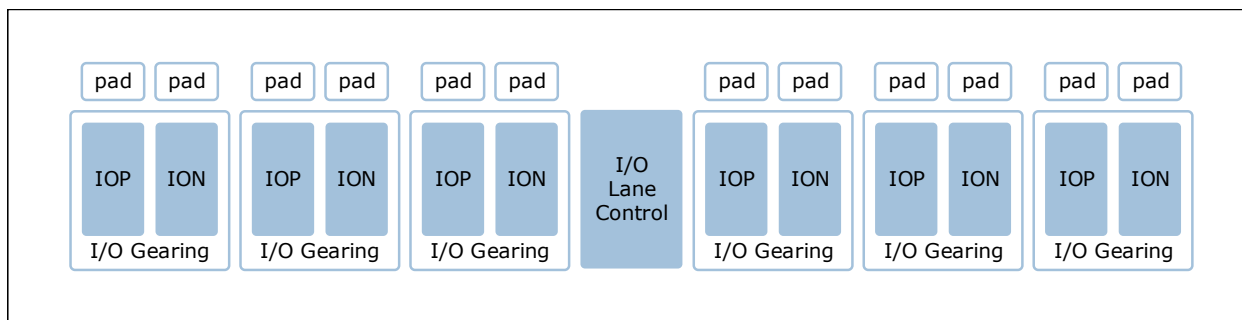
PCIe_0 控制器	Quad0 通道 0	Quad0 通道 1	Quad0 通道 2	Quad0 通道 3	PCIe_1 控制器
x1	PCIe_0	未使用	PCIe_1	PCIe_1	x2
x2	PCIe_0	PCIe_0	不支持	PCIe_1	x1
x2	PCIe_0	PCIe_0	PCIe_1	PCIe_1	x2
x4	PCIe_0	PCIe_0	PCIe_0	PCIe_0	未使用
x1	PCIe_0	不支持	结构	结构	未使用
x2	PCIe_0	PCIe_0	结构	结构	未使用
未使用	结构	结构	不支持	PCIe_1	x1
未使用	结构	结构	PCIe_1	PCIe_1	x2
未使用	结构	结构	结构	结构	未使用

注：结构包括 PMA、8b/10b、64b/66b、64b/67b 和 PIPE 模式。

4.3.2 输入/输出

PolarFire SoC FPGA I/O 成对分组，以满足差分 I/O 标准要求。此外，它们被分成 12 个缓冲区通道，配有一个用于存储器接口的通道控制器，如下图所示。

图 4-4. I/O 拓扑



I/O 引脚的数量取决于器件和封装尺寸。持久 I/O 功能无需编程过程中的用户干预就可以保留 I/O 上的状态。PolarFire FPGA I/O 缓冲区由以下主要子模块构成。

- 发送缓冲区（PVT 补偿）
- 接收缓冲区
- 端接（戴维宁、差分、上拉和下拉）
- 弱拉模式逻辑（上拉、下拉和总线保持）

每个 I/O 均可配置，并且能够符合众多 I/O 标准。以下是 PolarFire SoC FPGA 中的两类用户 FPGA I/O。

- 高速 I/O（HSIO），针对 DDR4 存储器进行了优化，速度最高可达 1.6 Gbps，标称最大电压为 1.8 V
- GPIO 能够支持多种标准，包括 3.3 V 电压和集成 CDR，以支持 SGMII 以太网应用

下表总结了单端 I/O 支持。这些是收发器通道协议中使用的末端接标准。每个 I/O 均支持弱上拉、下拉和总线保持器选项。此外，每个 GPIO 都具有可编程钳位（即 ON/OFF）。对于 HSIO，该钳位始终为 ON。

下表列出了 GPIO LVTTTL 或 LVCMOS 接收器，其设计也支持有限的混合作模式，以提供更大的电路板 I/O 设计灵活性。例如，如果将 VDDIO 设置为 3.3 V，则 I/O 接收器可以在 JEDEC 标准的较低电压下工作。

表 4-3. GPIO 混合接收器模式工作能力

VDDIO (V)	LVC MOS33	LVC MOS25	LVC MOS18	LVC MOS15	LVC MOS12
3.3	支持	支持	支持	不支持	支持
2.5	支持	支持	支持	支持	支持
1.8	支持	支持	支持	支持	支持
1.5	支持	支持	支持	支持	支持
1.2	支持	支持	不支持	支持	支持

下表列出了 HSIO 混合接收器模式的能力。

表 4-4. HSIO 混合接收器模式能力

VDDIO (V)	LVC MOS18	LVC MOS15	LVC MOS12
1.8	支持	支持	支持
1.5	支持	支持	支持
1.2	不支持	支持	支持

4.3.3 I/O 数字

PolarFire FPGA I/O 数字逻辑用于 FPGA 结构和 I/O 缓冲区之间的接口。它建立了高速 I/O 缓冲区和低速 FPGA 结构之间的连接。I/O 数字模块包括以下功能：

- 输入或输出延迟的延迟链
- 输入模式和输出模式的寄存器和控制逻辑

I/O 数字寄存器可以配置为输入/输出 DDR 和移位寄存器模式，以及组合式 DDR 移位寄存器模式。它允许提高输出数据速率和降低输入数据速率。PolarFire FPGA I/O 数字逻辑与快速低偏斜时钟分配（针对 DDR 应用优化）、特殊的时钟分频器和其他支持电路结合使用，可确保实现跨时钟域设计。

4.3.3.1 I/O 数字特性

以下是 I/O 数字特性。

- 可编程输入和/或输出延迟链
- 数据眼图监视器，用于检测边距至时钟沿
- 数据眼图位置优化器
- 最高为 10:1 的输入反序列化
- 最高为 10:1 的输出序列化
- 支持 DDR 和 SDR 接口
- 接收滑移控制，方便字对齐
- 快速低偏斜通道时钟（每 12 个 I/O）
- 用于 SGMII 和类似接口的时钟恢复（每 12 个 I/O 一个）
- Flash*Freeze 支持

4.3.3.2 I/O 数字模式

下表列出了相关的存储器接口、I/O 数据速率、FPGA 时钟速率及其应用。

表 4-5. I/O 数字模式

接口	方向	I/O 数据速率	I/O 时钟速率 (MHz)	速率比	FPGA 时钟速率 (MHz)	应用
DDR4	双向	1.6 Gbps	800	8:1	200	存储器接口
DDR3 (L)	双向	1.3 Gbps	650	8:1	162.5	存储器接口
LPDDR3	双向	1.3 Gbps	650	8:1	162.5	低功耗存储器接口
QDRII+	输入/输出	1.1 Gbps	550	8:1	137.5	低延迟时间存储器接口
RLDRAM3	输入/输出	1.0 Gbps	500	8:1	125	低延迟时间存储器接口
7:1 LVDS	输入	800 Mbps	400	7:1	114	Flatlink, Cameralink
CDR	输入	1.25 Gbps	625	10:1	125	1000BASE-T, SGMII
MIPI-DPHY	输入/输出	800 Mbps/ 500 Mbps	250	2:1	125	MIPI CSI, DSI
宽 LVDS	输入/输出	1.6 Gbps	800	8, 4, 2:1	250	ADC, DAC

4.4 非易失性 FPGA 结构

非易失性 FPGA 结构基于先进的 28 nm 低功耗非易失性工艺技术构建。PolarFire FPGA 结构包含以下构建模块：

- 逻辑单元
- 片上存储器 (LSRAM、 μ SRAM、sNVM 和 μ PROM)
- 数学模块

SEU 免疫的 FPGA 结构配置单元可用于配置 I/O 和器件的其他功能。非易失性 FPGA 不需要 SRAM FPGA 固有的配置过程。非易失性 FPGA 上电速度与 ASIC 一样快，具有最小的浪涌电流，非常适合实现任何系统中的信任根和首次启动功能。

4.4.1 逻辑单元

4 输入 LUT 可以配置为实现任何 4 输入组合函数，也可以配置为将 LUT 输出与进位输入进行异或运算以产生总和输出的算术函数。

逻辑单元具有以下特性。

- 完全可替换的 4 输入 LUT，针对最低功耗进行了优化
- 采用超前进位技术的专用进位链
- 可独立于 LUT 使用的单独触发器

4.4.2 片上存储器

PolarFire FPGA 集成了四种不同类型的存储器，允许设计人员进行功耗、功能和区域优化。其中两种为易失性存储器，两种为非易失性存储器。

易失性存储器：

- LSRAM
- μ SRAM

LSRAM 为具有内置 SECDED 和交错功能的 20 KB SRAM，可防止多位翻转 (multi-bit upsets, MBU)。 μ SRAM 为小型分布式 64x12 RAM，非常适合高效实现小型缓冲区，从而将 LSRAM 保留用于更宽更深的存储器。

非易失性存储器 (Non-volatile memory, NVM)：

- μ PROM
- sNVM

μ PROM 由 SEU 免疫的 FPGA 配置型非易失性单元构成，在运行期间可读，在器件编程期间可写。它为用户提供 SEU 免疫参数、常量、ID 以及参数或初始化数据。sNVM 可通过系统服务调用进行访问。写入 sNVM 的数据受 PUF 保护。sNVM 在运行时可由设计人员的应用程序读写，是软处理器和用户密钥引导代码的理想存储位置。

4.4.3 LSRAM

每个 LSRAM 块均由 20,480 位 RAM 组成，具有支持双端口和 2 端口模式的功能。每个块都具有多种配置和功能。Liberio SoC PolarFire 工具集提供一个 LSRAM 配置器，该配置器可将多个 LSRAM 块自动组合和级联成更大的存储器。

LSRAM 的特性包括：

- 428 MHz 工作频率
- 真双端口存储器
- 2 端口存储器（一个专用写端口和一个专用读端口）
- 数据宽度为 $\times 1$ 、 $\times 2$ 、 $\times 5$ 、 $\times 10$ 、 $\times 20$ 、 $\times 40$ 以及 $\times 33$ （使能 SECEDED）
- 多位翻转缓解
- 同步操作
- 独立的端口时钟
- 字节使能
- 使用寄存器的输入
- 输出寄存器具有独立使能和同步复位
- 读使能可在留存输出数据的同时节省电能
- 电源开关可在不使用 LSRAM 时将静态功耗降至最低
- 快速归零模式

4.4.3.1 双端口模式

在双端口模式下，两个端口的宽度均小于 33，并且端口之间相互独立。可在任意位置进行读写操作，彼此相互独立。发生写冲突的情况下，虽然写操作正确进行，但在写操作完成期间，读操作可能会返回不明确的结果。完成写操作后，读数据操作会正确读取新写入的写数据。

4.4.3.2 2 端口模式

在 2 端口模式下，至少一个端口的宽度为 32 或 40（或对于 SECEDED 为 33）。端口 A 专门用于读取，端口 B 专门用于写入。

下图显示了各种模式下的端口宽度。

图 4-5. LSRAM 双端口和 2 端口配置

		Port A Width					
Port B Width	x1/x1	x1/x2	x1/x4	x1/x8	x1/x16	W1/R32	N/A
	x2/x1	x2/x2	x2/x4	x2/x8	x2/x16	W2/R32	N/A
	x4/x1	x4/x2	x5/x5	x5/x10	x5/x20	W5/R40	N/A
	x8/x1	x8/x2	x10/x5	x10/x5	x10/x20	W10/R40	N/A
	x16/x1	x16/x2	x20/x5	x20/x10	x20/x20	W20/R40	N/A
	W32/R1	W32/R2	W40/R5	W40/R10	W40/R20	W40/R40	N/A
	N/A	N/A	N/A	N/A	N/A	N/A	Wx33/R33

Dual Port
Two Port
Two Port SECEDED

4.4.4 μ SRAM

μ SRAM 是嵌入到 FPGA 结构中的双端口存储器，旨在以高效低功耗方式实现小型缓冲区。发生写冲突的情况下，写操作将正确进行，但在写操作完成期间，读操作可能会返回不明确的结果。完成写操作之后，读数据操作会正确读取新写入的写数据。

以下是 μ SRAM 模块的主要特性：

- 480 MHz 工作频率
- 双端口存储器，64 个 12 位宽的字
- 写端口同步工作
- 写端口的宽度固定
- 读端口异步工作，并通过 FPGA 结构触发器支持同步和流水线操作
- Libero SoC PolarFire 工具集提供自动组合和级联功能，以实现更大的存储器
- 可组合多个存储块，以扩展深度或宽度
- 提供状态保持、低功耗挂起模式
- 实现形式为锁存器阵列

4.4.5 μ PROM

μ PROM 是一个单片非易失性存储器，可提供类似于 PROM 的存储，适合各种存储用途，包括其他存储器的初始化数据和用户校准数据等。存储单元由 FPGA 配置单元构成，并在对器件编程时进行更新。

以下是 μ PROM 的主要特性：

- 10 ns 读取访问时间
- 利用 FPGA 位流编程
- 来自 FPGA 结构的异步或同步读取访问模式

4.4.6 sNVM

每个 PolarFire FPGA 具有 56 KB 的 sNVM。sNVM 划分为 221 页，每页 236 个字节或 252 个字节，具体取决于数据的存储形式是纯文本还是加密/验证数据。用户可以通过系统服务调用 PolarFire FPGA 系统控制器来访问 sNVM。在位流编程期间，可将 sNVM 中的页面标记为 ROM。sNVM 内容可用于通过安全数据来初始化 LSRAM 和 μ SRAM。只能通过系统服务调用来访问 sNVM。写入 sNVM 的数据受 PUF 保护。

4.4.7 数学模块

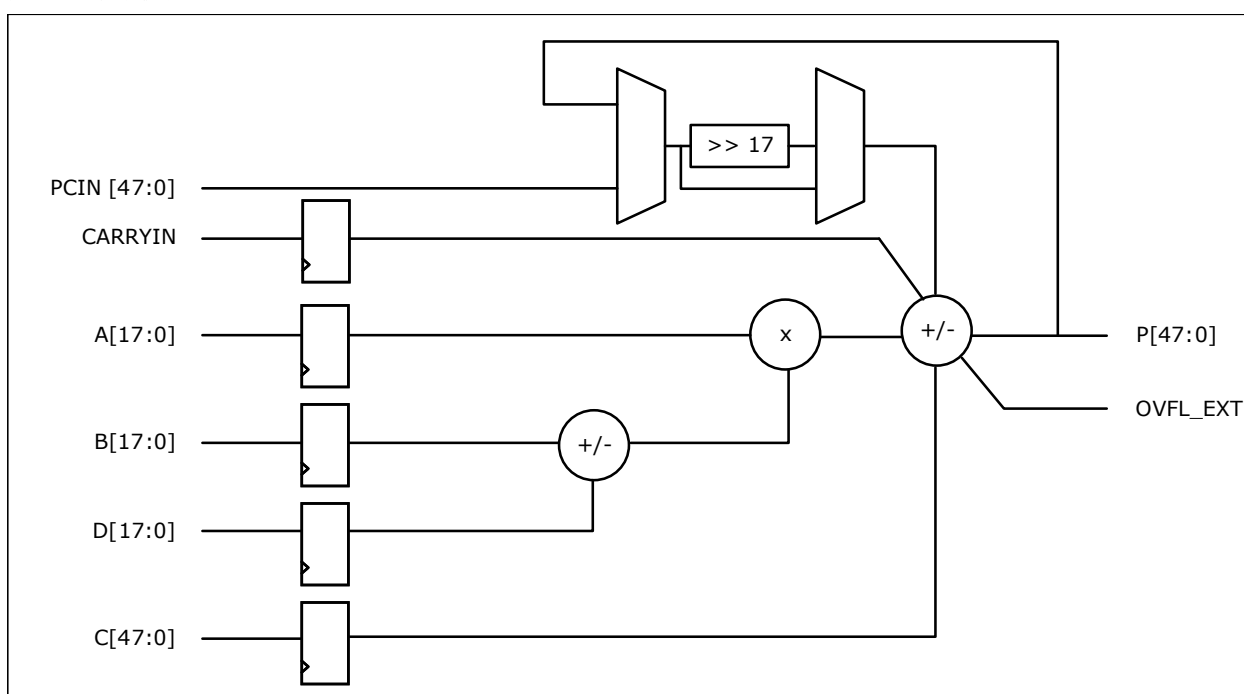
乘法累加（multiply-accumulate, MACC）操作是所有数字信号处理算法中的基本构建模块。PolarFire FPGA 可实现定制的 18x18 MACC 模块，用于高效、低功耗地实现复杂的 DSP 算法，例如有限冲激响应（finite impulse response, FIR）滤波器、无限冲激响应（infinite impulse response, IIR）滤波器以及快速傅里叶变换（fast Fourier transform, FFT），适用于滤波和图像处理应用。可选的 16 字系数 ROM 可以由位于数学模块附近的逻辑单元构成。

以下是数学模块功能的主要特性：

- 545 MHz 工作频率
- 18×18 二进制补码乘法累加器，输出宽度为 48 位
- 节能预加法器可优化线性相位 FIR 滤波器应用并减少对数学模块的使用
- 可选的流水线和级联专用总线
- 复数乘法点积模式

下图显示了数学模块的功能模块。

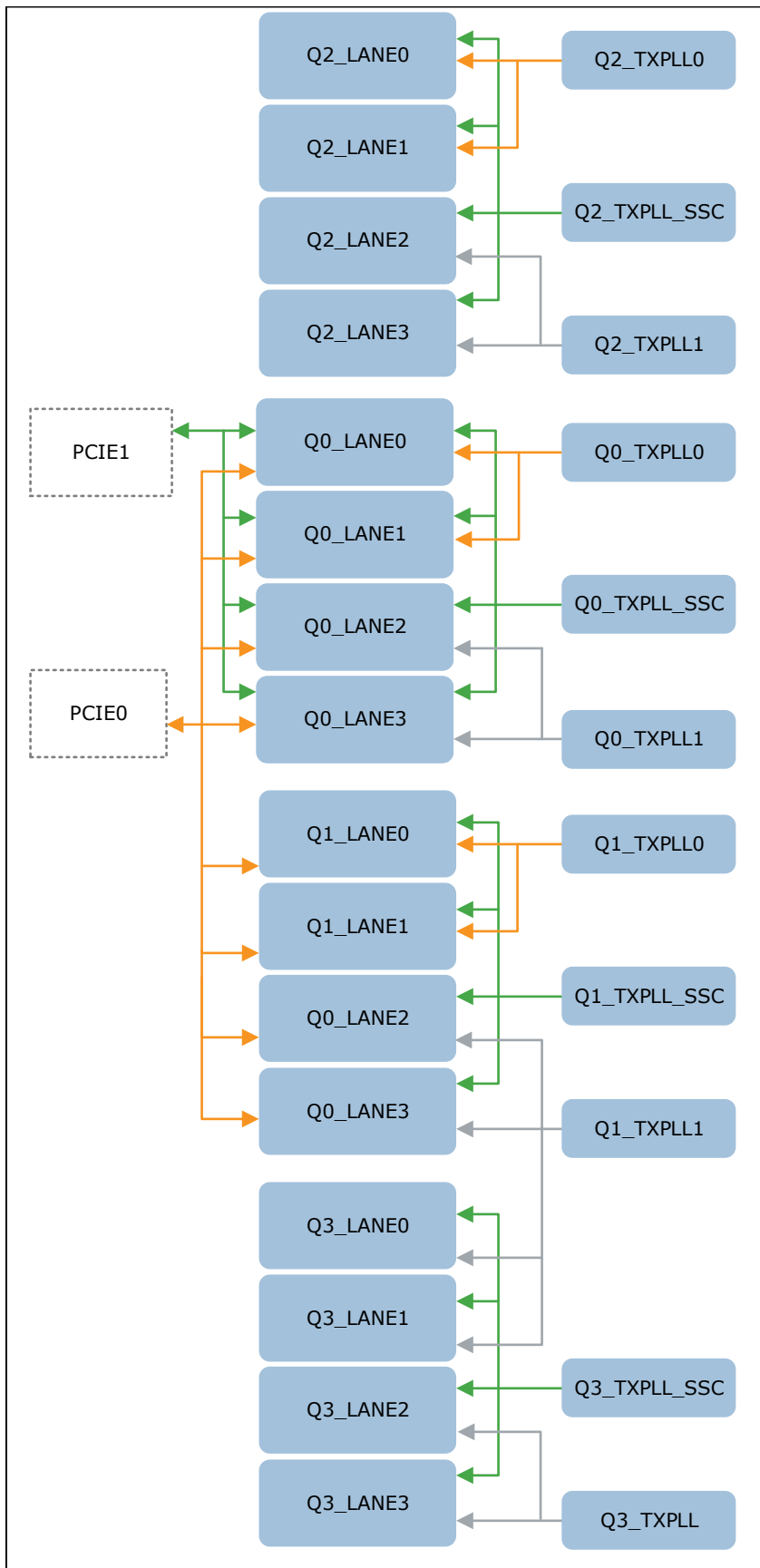
图 4-6. 数学模块



4.5 PCI Express

每个 PolarFire FPGA 都集成了两个低功耗内置 PCIe Gen2 控制器，从而可以轻松无缝连接至一个或多个主机处理器。如下图所示，两个 PCIe 控制器在两个四通道组之间共享。所有 PLL 均具有抖动衰减功能，而 SSC 标签表示扩频时钟（spread spectrum clock, SSC）功能。

图 4-7. PCI Express 硬宏通道共享



4.5.1 PCI Express 特性

PCIe 特性如下。

- ×1、×2 和×4 通道支持
- 适用于根端口和本机端点
- 符合 PCI Express 基本规范修订版 2.0 和 1.1
- AXI4 主器件和从器件接口连接至 FPGA 架构
- 单一功能能力
- 高级错误报告（advanced error reporting, AER）支持
- 集成跨时钟域（CDC），支持用户选择的 AXI4 频率
- 通道反转支持
- 传统 PCI 电源管理支持
- 本机有效状态电源管理 L0 和 L1 状态支持
- 电源管理事件（PME 消息）
- MSI 和传统 INT 消息支持
- 延迟时间容忍报告（Latency tolerance reporting, LTR）
- 带 CLKREQ 的 L1 PM 子状态
- PCIe 和 AXI4 域之间的地址转换表

4.5.2 PCI Express DMA 引擎

每个 PCIe 控制器均支持以下内置 DMA 模式，可以低功耗、高效地将数据传输至 FPGA 结构。

- 两个 DMA 通道
- 8 个未完成读写请求
- 完成后重新排序支持
- 灵活的分散收集 DMA 模式，包括每个描述符的动态 DMA 控制
- 可选 DMA 引擎向描述符报告，以简化软件管理
- 最多可提取 3 个描述符以优化吞吐量

5. 系统控制器

PolarFire SoC FPGA 系统控制器基于行业标准的 Arm® Cortex-M3，仅用于 FPGA 上电、防 DPA 攻击的安全 FPGA 编程以及执行和响应系统服务。所有内部存储器均受 SECDED 保护，并具有后台配置刷新功能，可消除单个位错误。

5.1 系统服务

系统服务为用户提供有关 FPGA 状态的信息，并允许用户使用标准应用编程接口（Application Programming Interface, API）请求系统控制器执行预定义功能。

系统服务列出如下。

设计服务

- 初始化结构 RAM
- 位流验证
- IAP 图像验证
- 器件服务
- 序列号
- JTAG 用户代码
- 设计版本号
- 器件证书

数据服务

- sNVM 读/写
- PUF 仿真服务
- 一次性随机数（Nonce）服务
- FPGA 结构服务
- 摘要检查
- 应用内编程

5.2 编程

PolarFire SoC FPGA 提供多种编程模式，旨在支持各种使用模型。所有位流始终保持加密且具有防 DPA 攻击的安全功能。每个 PolarFire SoC FPGA 均可使用专用 SPI 外设和 JTAG 端口进行编程。所有 PolarFire SoC FPGA 完成重新编程通常不超过 60 秒。有关特定器件的编程时序，请参见 PolarFire SoC FPGA 数据手册。

该器件支持以下编程模式：

从器件编程

- JTAG
- 从器件 SPI——外部 SPI 主器件对 FPGA 进行编程

SPI 主器件编程——应用内编程（In-Application Programming, IAP）

- 自动更新功能——系统控制器在上电时检查外部 SPI 闪存中的新位流，并对 FPGA 进行编程。
- 自动编程功能——在空白器件上，系统控制器在上电时检查外部 SPI 闪存中的位流，并对 FPGA 进行编程。
- 编程恢复功能——如果由于电源中断而导致远程编程失败，则系统控制器将在下一个上电周期通过备份的正确位流（位于外部 SPI 闪存中）对 FPGA 进行重新编程。

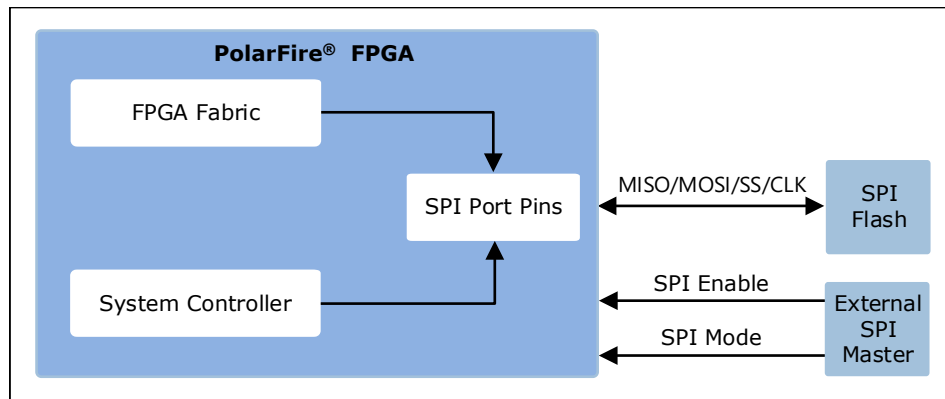
5.2.1 专用 SPI 编程端口

为了方便使用各种编程模式，PolarFire SoC FPGA 在系统控制器和 FPGA 内嵌的用户逻辑之间共享专用 SPI 端口引脚。用户逻辑必须实例化用户 SPI 宏才能从其设计获得对引脚的访问。根据专用 SPI 模式引脚上的信号电平，可以将

SPI 端口引脚用作主器件或从器件编程端口。通过对 PolarFire FPGA 上的 SPI MOSI/MISO/SS/CLK 引脚进行三态设置，专用 SPI 使能引脚还允许外部 SPI 主器件对片内 SPI 闪存进行编程，而无需外部 MUX。

下图显示了有助于使用各种编程模式的 SPI 端口。

图 5-1. SPI 编程端口



6. 低功耗

PolarFire SoC FPGA 提供了多种技术和功能来降低应用的总功耗。用户利用这些特性，可以缩减散热器尺寸或不用散热器、缩减风扇尺寸或减少风扇数量以及降低冷却成本等，从而降低资本和运营开支。此外，总功耗更低的优势还可以让用户在现有热预算下集成更多的计算操作。

6.1 非易失性技术

在 FPGA 配置单元中采用非易失性互补金属氧化物半导体（complementary metal - oxide semiconductor, CMOS）技术，相比 SRAM FPGA 技术，可提供多项功耗优势。

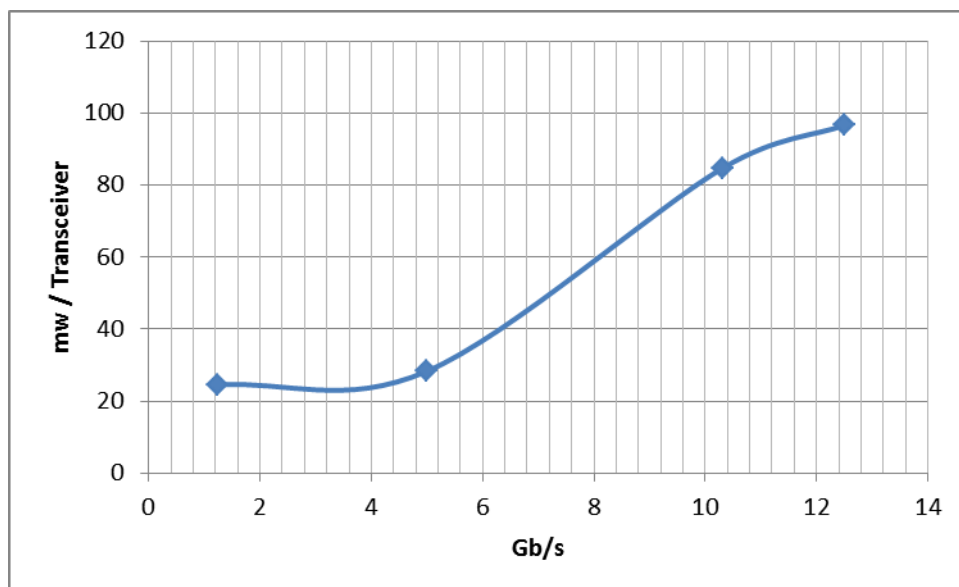
- 非易失性开关比 SRAM 开关功耗更低，因此可降低静态功耗
- 无 SRAM 配置浪涌电流
- 无需外部配置组件

6.2 低功耗收发器通道

PolarFire SOC FPGA 的低功耗功能还扩展支持业界最节能的收发器通道，能够以每通道不到 100 mW 的功率支持 10GBASE-KR 应用。收发器通道具有全面的掉电控制功能，包括可编程幅度和边沿速率控制，可优化功耗。

下图显示了收发器功率和数据速率之间的关系。

图 6-1. 收发器功率与数据速率



7. 可靠性

Microchip 持续为您的任务和安全关键型应用提供业界最可靠的 FPGA。

7.1 FPGA 结构

PolarFire SoC FPGA 配置单元本身对中子引起的 SEU 免疫。与普遍的观点相反，屏蔽并不能阻止中子穿过电子系统或电子器件。随着半导体器件的几何尺寸缩小到需要采用更细的光刻，MBU 问题开始出现。SRAM FPGA 清除技术可能不足以应对这些情况，虽然清除可能会有所帮助，但重要的一点是，清除是在事后才发现错误。该错误已经发生并在整个系统中传播。PolarFire SoC FPGA 结构的配置可针对 SEU 引起的随机事件提供无忧操作。

7.2 LSRAM

LSRAM 可在 32 位字边界上提供内置的 SECDED 功能。使用 7 个附加位进行纠错。提供两个标志为用户指示 SECDED。通过保持字中所有单元间的最小距离，可以缓解多位翻转。需要清除的应用程序需借助用户逻辑来完成。用户可以打开和关闭错误纠正逻辑，以轻松验证纠错操作。

7.3 μ SRAM

64X12 μ SRAM 由锁存器构成，对 SEU 的敏感度没有 SRAM 高。

7.4 摘要

摘要可验证编程的非易失性数据的完整性。摘要是一种数据区域的加密哈希。任何报告错误的摘要都会引发摘要篡改标志。

以下是可摘要的非易失性区域：

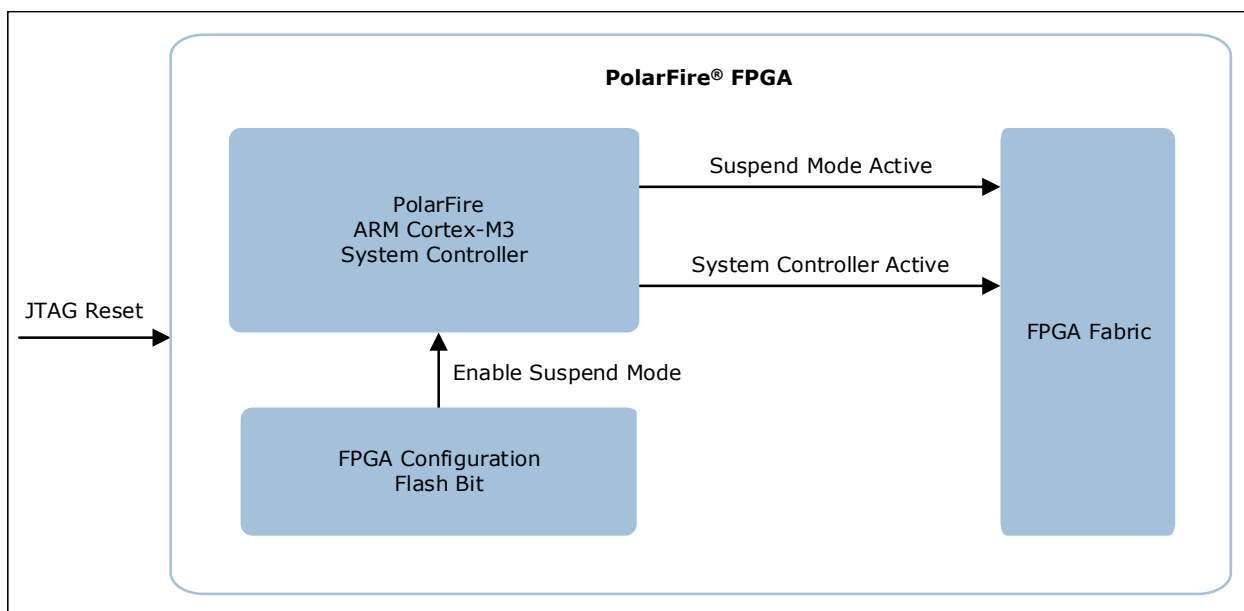
- FPGA 结构，因此为 μ PROM
- 标记为 ROM 的 sNVM
- 用户密钥 1
- 用户密钥 2
- 出厂参数和密钥存储
- 128 KB eNVM 块

7.5 系统控制器暂停模式

对于安全关键型应用，PolarFire SoC FPGA 允许用户在 FPGA 上电后将基于 Cortex-M3 的系统控制器置于复位状态。通过编程 SEU 配置非易失性位，在 FPGA 上电后，三模冗余 SEU 免疫复位锁存器可将 Cortex-M3 置于复位状态。用户逻辑可以监视暂停模式命令是否处于有效状态，以及系统控制器在处于复位状态时是否无法提取指令。在禁止暂停模式后，可以通过将适当的 JTAG 信号置为有效来对 FPGA 进行重新编程。为了保持暂停模式有效，必须将 JTAG TRSTB 信号置为低电平。

下图显示了如何激活和停用暂停模式。

图 7-1. 系统控制器暂停模式



8. 安全性

当今要求严苛的应用不仅要满足功能要求，而且必须以安全的方式满足这些要求。安全始于芯片制造，一直延续到系统部署和操作。

8.1 设计安全性

设计保护始于晶圆制造，一直延续到最终产品的部署。以下关键特性有助于提供先进的供应链保证和 IP 保护优势：

- 在晶圆测试和封装期间通过使用硬件安全模块（**hardware security modules, HSM**）实现安全供应链管理
- 使用每个 FPGA 中内嵌的 768 字节数字签名 x.509 FPGA 证书提供供应链保证
- AES256 加密的 CRI DPA 对策专利保护、位流和密钥管理协议
- 内置篡改检测器：电压监视器、温度监视器、时钟故障检测器、电压故障检测器、保护网格和总线加扰
- 通过内置的加密摘要功能实现数据完整性
- 所有片上存储器和 FPGA 结构具有归零功能
- 集成的 PUF 用于密钥存储
- 56 KB 受 PUF 保护的 sNVM
 - 使用非易失性存储器保护可重编程密钥

8.1.1 篡改检测器

PolarFire SoC FPGA 集成了许多片上篡改检测器，以使用户监控环境和设计的工作参数。用户可以对确定为超出正常操作范围的事件作出响应。篡改标志表明已发生篡改事件，并将以信号形式提供给 FPGA 结构，供用户处理和响应。

以下列出了部分篡改检测器：

- 时钟毛刺检测器
- 时钟频率检测器
- 电压监控检测器
- 温度传感器
- JTAG 有效检测器
- 网格有效检测器

8.1.2 篡改响应

处理完检测到的事件后，用户可以执行以下操作之一。

- 禁止 I/O——可在每个 I/O 上分别进行配置
- 安全锁定
- 复位
- 归零

9. PolarFire SoC 器件产品

PolarFire SoC FPGA 提供低功耗收发器器件以及其他各种收发器器件产品，例如设计安全性收发器和低功耗数据安全性收发器。所有 PolarFire SoC 器件都集成了业界领先的多协议低功耗收发器。低功耗（L）器件最多可降低 35% 的静态功耗。

下表以 MPFS250T 为例，列出了扩展商业级和工业级 PolarFire SoC 产品。MPFS025T、MPFS095T、MPFS160T 和 MPFS460T 是器件密度完全相同的产品。所列温度为结温。

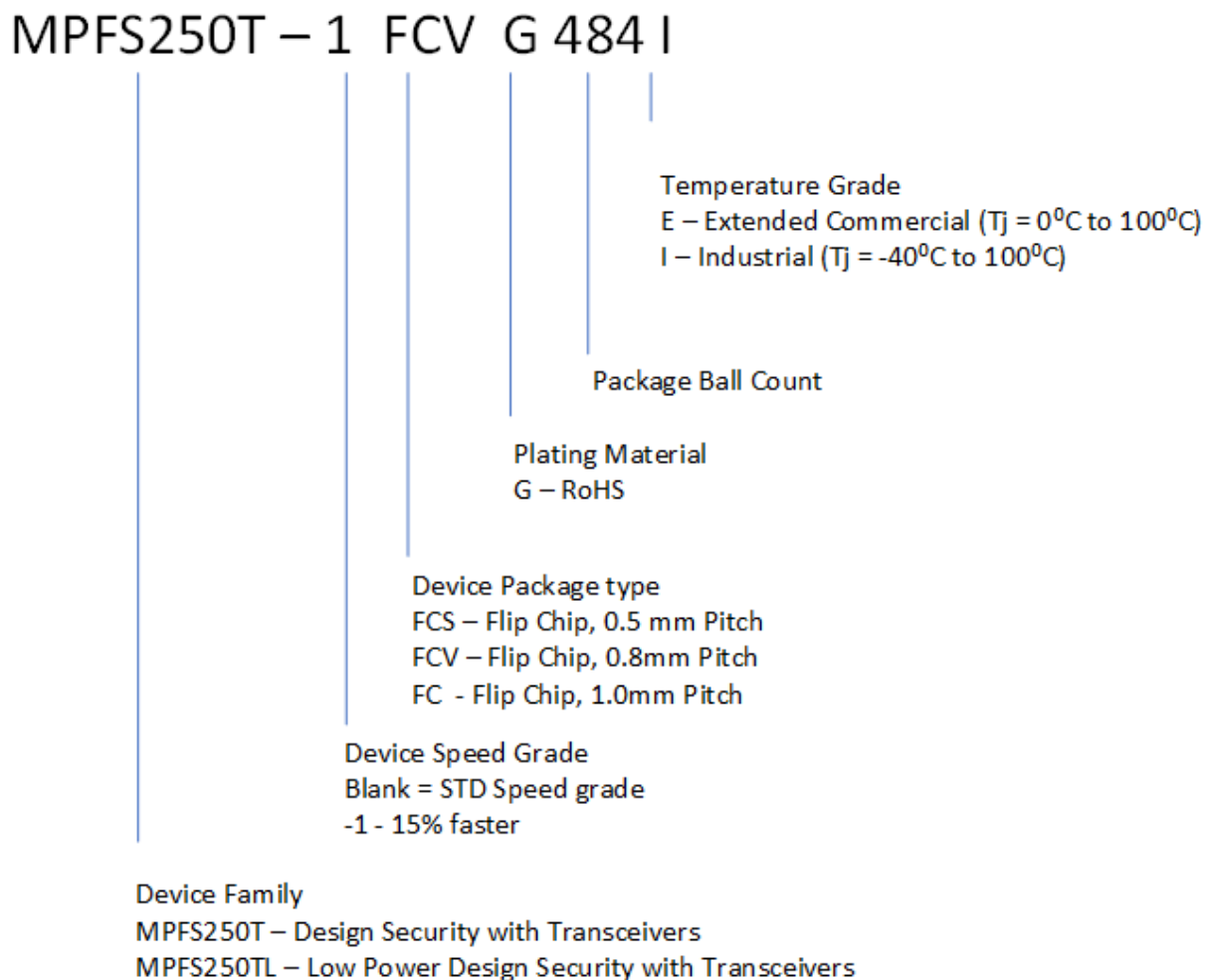
表 9-1. PolarFire SoC 产品

器件选项	扩展商业级温度范围 (E) 0°C - 100°C	工业级温度范围 (I) -40 °C - 100°C	标准速度等级	-1 速度等级	收发器 (T)	降低静态功耗 (L)
MPFS250T	支持	支持	支持	支持	支持	—
MPFS250TL	支持	支持	支持	—	支持	支持

10. 订购信息

PolarFire SoC 提供多种速度等级、温度和封装组合。所有温度均指定为结温。下图显示了订购信息。

图 10-1. 订购信息



11. 版本历史

版本	日期	说明
A	2020 年 9 月	版本 A 文档更新为 Microchip 模板。
1.0	2019 年 12 月	这是本文档的初始版本。

Microchip 网站

Microchip 网站 (www.microchip.com/) 为客户提供在线支持。客户可通过该网站方便地获取文件和信息。我们的网站提供以下内容：

- **产品支持**——数据手册和勘误表、应用笔记和示例程序、设计资源、用户指南以及硬件支持文档、最新的软件版本以及归档软件
- **一般技术支持**——常见问题解答 (FAQ)、技术支持请求、在线讨论组以及 Microchip 设计伙伴计划成员名单
- **Microchip 业务**——产品选型和订购指南、最新 Microchip 新闻稿、研讨会和活动安排表、Microchip 销售办事处、代理商以及工厂代表列表

产品变更通知服务

Microchip 的产品变更通知服务有助于客户了解 Microchip 产品的最新信息。注册客户可在他们感兴趣的某个产品系列或开发工具发生变更、更新、发布新版本或勘误表时，收到电子邮件通知。

欲注册，请访问 www.microchip.com/pcn，然后按照注册说明进行操作。

客户支持

Microchip 产品的用户可通过以下渠道获得帮助：

- 代理商或代表
- 当地销售办事处
- 应用工程师 (ESE)
- 技术支持

客户应联系其代理商、代表或 ESE 寻求支持。当地销售办事处也可为客户提供帮助。本文档后附有销售办事处的联系方式。

也可通过 www.microchip.com/support 获得网上技术支持。

Microchip 器件代码保护功能

请注意以下有关 Microchip 器件代码保护功能的要点：

- Microchip 的产品均达到 Microchip 数据手册中所述的技术规范。
- Microchip 确信：在正常使用的情况下，Microchip 系列产品非常安全。
- 目前，仍存在着用恶意、甚至是非法的方法来试图破坏代码保护功能的行为。我们确信，所有这些行为都不是以 Microchip 数据手册中规定的操作规范来使用 Microchip 产品的。这种试图破坏代码保护功能的行为极可能侵犯 Microchip 的知识产权。
- Microchip 愿与那些注重代码完整性的客户合作。
- Microchip 或任何其他半导体厂商均无法保证其代码的安全性。代码保护并不意味着我们保证产品是“牢不可破”的。代码保护功能处于持续发展中。Microchip 承诺将不断改进产品的代码保护功能。任何试图破坏 Microchip 代码保护功能的行为均可视为违反了《数字器件千年版权法案 (Digital Millennium Copyright Act)》。如果这种行为导致他人在未经授权的情况下，能访问您的软件或其他受版权保护的成果，您有权依据该法案提起诉讼，从而制止这种行为。

法律声明

提供本文档的中文版本仅为为了便于理解。请勿忽视文档中包含的英文部分，因为其中提供了有关 Microchip 产品性能和使用情况的有用信息。Microchip Technology Inc. 及其分公司和相关公司、各级主管与员工及事务代理机构对译文中可能存在的任何差错不承担任何责任。建议参考 Microchip Technology Inc. 的英文原版文档。

本出版物中提供的信息仅仅是为方便您使用 Microchip 产品或使用这些产品来进行设计。本出版物中所述的器件应用信息及其他类似内容仅为您提供便利，它们可能由更新之信息所替代。确保应用符合技术规范，是您自身应负的责任。

Microchip “按原样”提供这些信息。Microchip 对这些信息不作任何明示或暗示、书面或口头、法定或其他形式的声明或担保，包括但不限于针对非侵权性、适销性和特定用途的适用性的暗示担保，或针对其使用情况、质量或性能的担保。

在任何情况下，对于因这些信息或使用这些信息而产生的任何间接的、特殊的、惩罚性的、偶然的或间接的损失、损害或任何类型的开销，Microchip 概不承担任何责任，即使 Microchip 已被告知可能发生损害或损害可以预见。在法律允许的最大范围内，对于因这些信息或使用这些信息而产生的所有索赔，Microchip 在任何情况下所承担的全部责任均不超出您为获得这些信息向 Microchip 直接支付的金额（如有）。如果将 Microchip 器件用于生命维持和/或生命安全应用，一切风险由买方自负。买方同意在由此引发任何一切损害、索赔、诉讼或费用时，会维护和保障 Microchip 免于承担法律责任。除非另外声明，在 Microchip 知识产权保护下，不得暗或以其他方式转让任何许可证。

商标

Microchip 的名称和徽标组合、Microchip 徽标、Adaptec、AnyRate、AVR、AVR 徽标、AVR Freaks、BesTime、BitCloud、chipKIT、chipKIT 徽标、CryptoMemory、CryptoRF、dsPIC、FlashFlex、flexPWR、HELDO、IGLOO、JukeBlox、KeeLoq、Kleer、LANCheck、LinkMD、maXStylus、maXTouch、MediaLB、megaAVR、Microsemi、Microsemi 徽标、MOST、MOST 徽标、MPLAB、OptoLyzer、PackeTime、PIC、picoPower、PICSTART、PIC32 徽标、PolarFire、Prochip Designer、QTouch、SAM-BA、SenGenuity、SpyNIC、SST、SST 徽标、SuperFlash、Symmetricom、SyncServer、Tachyon、TimeSource、tinyAVR、UNI/O、Vectron 及 XMEGA 均为 Microchip Technology Incorporated 在美国和其他国家或地区的注册商标。

AgileSwitch、APT、ClockWorks、The Embedded Control Solutions Company、EtherSynch、FlashTec、Hyper Speed Control、HyperLight Load、IntelliMOS、Libero、motorBench、mTouch、Powermite 3、Precision Edge、ProASIC、ProASIC Plus、ProASIC Plus 徽标、Quiet-Wire、SmartFusion、SyncWorld、Temux、TimeCesium、TimeHub、TimePictra、TimeProvider、WinPath 和 ZL 均为 Microchip Technology Incorporated 在美国的注册商标。

Adjacent Key Suppression、AKS、Analog-for-the-Digital Age、Any Capacitor、AnyIn、AnyOut、Augmented Switching、BlueSky、BodyCom、CodeGuard、CryptoAuthentication、CryptoAutomotive、CryptoCompanion、CryptoController、dsPICDEM、dsPICDEM.net、Dynamic Average Matching、DAM、ECAN、Espresso T1S、EtherGREEN、IdealBridge、In-Circuit Serial Programming、ICSP、INICnet、Intelligent Paralleling、Inter-Chip Connectivity、JitterBlocker、maxCrypto、maxView、memBrain、Mindi、MiWi、MPASM、MPF、MPLAB Certified 徽标、MPLIB、MPLINK、MultiTRAK、NetDetach、Omniscient Code Generation、PICDEM、PICDEM.net、PICKit、PICtail、PowerSmart、PureSilicon、QMatrix、REAL ICE、Ripple Blocker、RTAX、RTG4、SAM-ICE、Serial Quad I/O、simpleMAP、SimpliPHY、SmartBuffer、SMART-I.S.、storClad、SQI、SuperSwitcher、SuperSwitcher II、Switchtec、SynchroPHY、Total Endurance、TSHARC、USBCheck、VariSense、VectorBlox、VeriPHY、ViewSpan、WiperLock、XpressConnect 和 ZENA 均为 Microchip Technology Incorporated 在美国和其他国家或地区的商标。

SQTP 为 Microchip Technology Incorporated 在美国的服务标记。

Adaptec 徽标、Frequency on Demand、Silicon Storage Technology 和 Symmcom 均为 Microchip Technology Inc. 在除美国外的国家或地区的注册商标。

GestIC 为 Microchip Technology Inc. 的子公司 Microchip Technology Germany II GmbH & Co. KG 在除美国外的国家或地区的注册商标。

在此提及的所有其他商标均为各持有公司所有。

© 2021, Microchip Technology Incorporated 版权所有。

ISBN: 978-1-5224-7471-5

质量管理体系

有关 Microchip 的质量管理体系的信息，请访问 www.microchip.com/quality。

全球销售及服务中心

美洲	亚太地区	亚太地区	欧洲
公司总部 2355 West Chandler Blvd. Chandler, AZ 85224-6199 电话: 480-792-7200 传真: 480-792-7277 技术支持: www.microchip.com/support 网址: www.microchip.com	澳大利亚 - 悉尼 电话: 61-2-9868-6733 中国 - 北京 电话: 86-10-8569-7000 中国 - 成都 电话: 86-28-8665-5511 中国 - 重庆 电话: 86-23-8980-9588 中国 - 东莞 电话: 86-769-8702-9880 中国 - 广州 电话: 86-20-8755-8029 中国 - 杭州 电话: 86-571-8792-8115 中国 - 香港特别行政区 电话: 852-2943-5100 中国 - 南京 电话: 86-25-8473-2460 中国 - 青岛 电话: 86-532-8502-7355 中国 - 上海 电话: 86-21-3326-8000 中国 - 沈阳 电话: 86-24-2334-2829 中国 - 深圳 电话: 86-755-8864-2200 中国 - 苏州 电话: 86-186-6233-1526 中国 - 武汉 电话: 86-27-5980-5300 中国 - 西安 电话: 86-29-8833-7252 中国 - 厦门 电话: 86-592-2388138 中国 - 珠海 电话: 86-756-3210040	印度 - 班加罗尔 电话: 91-80-3090-4444 印度 - 新德里 电话: 91-11-4160-8631 印度 - 浦那 电话: 91-20-4121-0141 日本 - 大阪 电话: 81-6-6152-7160 日本 - 东京 电话: 81-3-6880-3770 韩国 - 大邱 电话: 82-53-744-4301 韩国 - 首尔 电话: 82-2-554-7200 马来西亚 - 吉隆坡 电话: 60-3-7651-7906 马来西亚 - 槟榔屿 电话: 60-4-227-8870 菲律宾 - 马尼拉 电话: 63-2-634-9065 新加坡 电话: 65-6334-8870 台湾地区 - 新竹 电话: 886-3-577-8366 台湾地区 - 高雄 电话: 886-7-213-7830 台湾地区 - 台北 电话: 886-2-2508-8600 泰国 - 曼谷 电话: 66-2-694-1351 越南 - 胡志明市 电话: 84-28-5448-2100	奥地利 - 韦尔斯 电话: 43-7242-2244-39 传真: 43-7242-2244-393 丹麦 - 哥本哈根 电话: 45-4485-5910 传真: 45-4485-2829 芬兰 - 埃斯波 电话: 358-9-4520-820 法国 - 巴黎 电话: 33-1-69-53-63-20 传真: 33-1-69-30-90-79 德国 - 加兴 电话: 49-8931-9700 德国 - 哈恩 电话: 49-2129-3766400 德国 - 海尔布隆 电话: 49-7131-72400 德国 - 卡尔斯鲁厄 电话: 49-721-625370 德国 - 慕尼黑 电话: 49-89-627-144-0 传真: 49-89-627-144-44 德国 - 罗森海姆 电话: 49-8031-354-560 以色列 - 若那那市 电话: 972-9-744-7705 意大利 - 米兰 电话: 39-0331-742611 传真: 39-0331-466781 意大利 - 帕多瓦 电话: 39-049-7625286 荷兰 - 德卢内市 电话: 31-416-690399 传真: 31-416-690340 挪威 - 特隆赫姆 电话: 47-72884388 波兰 - 华沙 电话: 48-22-3325737 罗马尼亚 - 布加勒斯特 电话: 40-21-407-87-50 西班牙 - 马德里 电话: 34-91-708-08-90 传真: 34-91-708-08-91 瑞典 - 哥德堡 电话: 46-31-704-60-40 瑞典 - 斯德哥尔摩 电话: 46-8-5090-4654 英国 - 沃金厄姆 电话: 44-118-921-5800 传真: 44-118-921-5820
亚特兰大 德卢斯, 佐治亚州 电话: 678-957-9614 传真: 678-957-1455 奥斯汀, 德克萨斯州 电话: 512-257-3370 波士顿 韦斯特伯鲁, 马萨诸塞州 电话: 774-760-0087 传真: 774-760-0088 芝加哥 艾塔斯卡, 伊利诺伊州 电话: 630-285-0071 传真: 630-285-0075 达拉斯 阿迪森, 德克萨斯州 电话: 972-818-7423 传真: 972-818-2924 底特律 诺维, 密歇根州 电话: 248-848-4000 休斯顿, 德克萨斯州 电话: 281-894-5983 印第安纳波利斯 诺布尔斯特维尔, 印第安纳州 电话: 317-773-8323 传真: 317-773-5453 电话: 317-536-2380 洛杉矶 米慎维荷, 加利福尼亚州 电话: 949-462-9523 传真: 949-462-9608 电话: 951-273-7800 罗利, 北卡罗来纳州 电话: 919-844-7510 纽约, 纽约州 电话: 631-435-6000 圣何塞, 加利福尼亚州 电话: 408-735-9110 电话: 408-436-4270 加拿大 - 多伦多 电话: 905-695-1980 传真: 905-695-2078			